

FFI RAPPORT

REKONFIGURERBAR PROSESSERINGSMODUL - IOkort

SØRNES Per K

FFI/RAPPORT-2002/02365

FFIE/726/170

Godkjent
Kjeller 6 august 2002

John-Mikal Størdal
Forskningsjef

**REKONFIGURERBAR PROSESSERINGSMODUL -
IOkort**

SØRNES Per K

FFI/RAPPORT-2002/02365

FORSVARETS FORSKNINGSINSTITUTT
Norwegian Defence Research Establishment
Postboks 25, 2027 Kjeller, Norge

FORSVARETS FORSKNINGSINSTITUTT (FFI)
Norwegian Defence Research Establishment

UNCLASSIFIED

P O BOX 25
NO-2027 KJELLER, NORWAY
REPORT DOCUMENTATION PAGE

SECURITY CLASSIFICATION OF THIS PAGE
(when data entered)

1) PUBL/REPORT NUMBER FFI/RAPPORT-2002/02365 1a) PROJECT REFERENCE FFIE/726/170	2) SECURITY CLASSIFICATION UNCLASSIFIED 2a) DECLASSIFICATION/DOWNGRADING SCHEDULE -	3) NUMBER OF PAGES 47												
4) TITLE REKONFIGURERBAR PROSESSERINGSMODUL - IOkort (RECONFIGURABLE PROCESSING MODULE - IOcard)														
5) NAMES OF AUTHOR(S) IN FULL (surname first) SØRNES Per K														
6) DISTRIBUTION STATEMENT Approved for public release. Distribution unlimited. (Offentlig tilgjengelig)														
7) INDEXING TERMS <table border="0" style="width:100%"> <thead> <tr> <th style="text-align:left">IN ENGLISH:</th> <th style="text-align:left">IN NORWEGIAN:</th> </tr> </thead> <tbody> <tr> <td>a) <u>Data conversion</u></td> <td>a) <u>Data konvertering</u></td> </tr> <tr> <td>b) <u>Data communication</u></td> <td>b) <u>Data kommunikasjon</u></td> </tr> <tr> <td>c) _____</td> <td>c) _____</td> </tr> <tr> <td>d) _____</td> <td>d) _____</td> </tr> <tr> <td>e) _____</td> <td>e) _____</td> </tr> </tbody> </table>			IN ENGLISH:	IN NORWEGIAN:	a) <u>Data conversion</u>	a) <u>Data konvertering</u>	b) <u>Data communication</u>	b) <u>Data kommunikasjon</u>	c) _____	c) _____	d) _____	d) _____	e) _____	e) _____
IN ENGLISH:	IN NORWEGIAN:													
a) <u>Data conversion</u>	a) <u>Data konvertering</u>													
b) <u>Data communication</u>	b) <u>Data kommunikasjon</u>													
c) _____	c) _____													
d) _____	d) _____													
e) _____	e) _____													
THESAURUS REFERENCE: ISBN 0 85296 966 X														
8) ABSTRACT This is a flexible multipurpose IOcard designed for fast prototyping, including the multipurpose programmable processing card that are designed. It contains digital IO and analogue IO.														
9) DATE 6 August 2002	AUTHORIZED BY This page only John-Mikal Størdal	POSITION Director of Research												

ISBN-82-464-0635-3

UNCLASSIFIED

SECURITY CLASSIFICATION OF THIS PAGE
(when data entered)

INNHold

	Side	
1	INNLEDNING	7
2	HARDWARE SYSTEMBESKRIVELSE	7
2.1	Systembetragtning	8
2.2	IOkort oversikt	8
2.3	Digital inn og utganger	9
2.3.1	Digitale utganger	9
2.3.2	Digitale innganger	9
2.3.2.1	Feil funnet og rettet under uttesting	9
2.3.3	Semidigitale utganger	9
2.3.3.1	Feil funnet og rettet under uttesting	9
2.3.4	Semidigitale innganger	10
2.3.4.1	Feil funnet og rettet under uttesting	11
2.4	Analog IO	11
2.4.1	Analog inngang 12bit 105Msamples	11
2.4.1.1	Feil funnet og rettet under uttesting	11
2.4.2	Analog inngang 14bit 52Msamples	13
2.4.2.1	Feil funnet og rettet under uttesting	13
2.4.3	Analog utgang 14bit 300Msamples	13
2.4.3.1	Feil funnet og rettet under uttesting	13
2.5	Spennings generator	13
2.6	Implementasjon	14
A	KANTKONTAKTER OG JUMPER PLASSERINGER	15
B	SIGNALNAVN OG BUS SAMMENKOBLING	16
B.1	Digital io pinmap mot bakplan	16
B.2	Analog 12BitADC io pinmap mot bakplan	16
B.3	Analog 14BitADC io pinmap mot bakplan	17
B.4	Analog 14BitDAC io pinmap mot bakplan	17
C	SKJEMAER	19
C.1	fpgaio toppnivå (1 ark)	19
C.2	edgeconn (1 ark)	20
C.3	sma (1 ark)	21
C.4	buffer (2 ark)	22
C.5	powergen (1 ark)	24
C.6	adc12 (2 ark)	25
C.7	adc14 (2 ark)	27

C.8	dac (2 ark)	29
D	FYSISK UTLEGG	31
D.1	Komponentplassering	31
D.1.1	Printkort oversikt	31
D.1.2	Printkort detalj (5ark)	32
D.1.3	Printkort bakside (sett fra forside)	37
D.2	Komponent oversikt	38
D.3	Komponentliste	39
	Litteratur	45
	Fordelingsliste	47

REKONFIGURERBAR PROSESSERINGSMODUL - IOkort

1 INNLEDNING

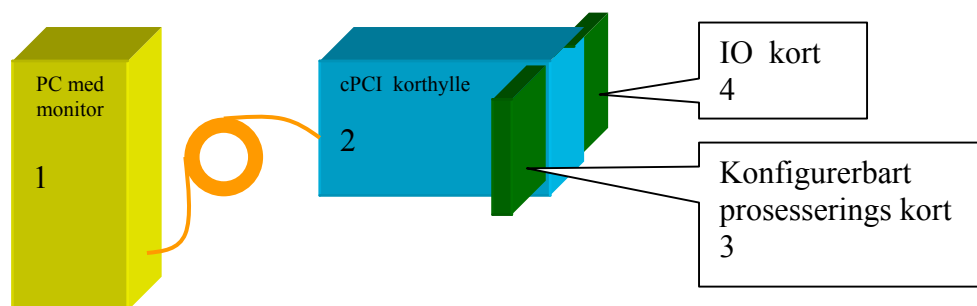
I prosjekt 726 Digital multistatisk radar er det utviklet en radarsender og -mottaker (1) for å verifisere et multistatisk radarkonsept (2). Det er utviklet en demonstrator bestående av en sender og en mottaker slik at det pr dags dato er et bistatisk radarsystem (3). I et bistatisk radaroppsett er sender og mottaker geografisk separert. Det bistatiske radarsystemet synkroniseres i tid og frekvens ved hjelp av GPS disiplinerte rubidium oscillatorer. Det er således ingen fysisk forbindelse mellom sender og mottaker. Senderenheten som er utviklet i prosjektet sender et kodet kontinuerlig signal (Continuous Wave - CW) og mottakeren mottar eventuelt reflektert signal. All nødvendig signalprosessering er tenkt utført på mottakerenheten i sann tid. Dette består av en korthylle med to forskjellige kort. Ett kort er et IOkort, det andre er prosesseringskort, laget i to versjoner. På det tidspunkt denne rapporten skrives er elektronikken for signalprosessering ikke fullført. Slik at mottakeren i demonstratoren fungerer som en datainnsamlingsenhet. All signalprosessering foregår pr dags dato på PC i etterkant av målingene.

2 HARDWARE SYSTEMBESKRIVELSE

Systemet består av 4 hovedmoduler.

1. En PC med mulig nettilknytning
2. En Compact PCI (cPCI) korthylle inneholdende bakplan og kommunikasjon til PC.
3. Kort som utgjør selve prosessor kraften.
4. IOkort. Et tilkoblingskort for digital og analog IO.

I denne dokumentasjonen vil IOkort (4) bli beskrevet.



Figur 2.1 System oversikt

2.1 Systembetragtning

Prosesseringskortene og IOkortet designer vi selv, resten av systemet er innkjøpt. Forbindelsen mellom PC og korthylle er transparent slik at prosessorkortene opptrer logisk på PCens PCI buss. cPCI korthylla kan inneholde maksimalt 12 kort, dvs minst ett controller kort og 11 prosesseringskort eller færre. IOkortet plasseres på baksida av korthylla.

PCen kan være en enkeltkort PC, eller som vi har valgt, et forlenger system til en vanlig PC. Hvis vi i systemet trenger noe annet en våre egne spesialkort er dette fullt mulig da vi har valgt en standard cPCI hylle med standard kontakter.

Prosesseringskortene er beregnet på å stå i en kjede, og regner da på en strøm av data. Dette er velegnet for blant annet FFTer og andre oppgaver som kan deles på denne måten. Hvert kort har tre minner, to blir brukt som minne for inndata og utdata, det tredje minne er tenkt brukt til filter minne ved eventuell FFT prosessering. Selve regnemodulen er brukerprogrammerbar og består av tre "Field Programmable Gate Array"(FPGA) kretser.

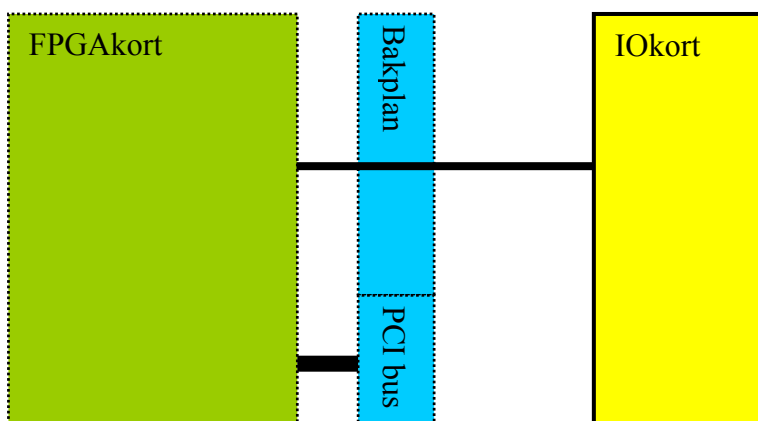
2.2 IOkort oversikt

IOkortet er designet for å kunne ta i mot eller sende ut data fra systemet. Vi har tatt høyde for hva vi trenger nå og hva vi må kunne ha behov for generelt og i framtida. Det er implementert flere forskjellige funksjoner:

- Digital inn
- Digital ut
- Semi digital inn
- Semi digital ut
- Analog inn
- Analog ut

De forskjellige funksjonene blir forklart i hvert sitt kapittel. Kortet har tre 8bits digitale utganger og to 8bits digital innganger, disse er multipleksede og blir latchet i hver sin latch. Videre er det fire semidigitale utganger og fire semidigitale innganger som kan ha TTL nivå eller analog nivå. Det er også implementert to analoge innganger med 12bits oppløsning, to analoge innganger med 14 bits oppløsning og to analoge utganger med 14bits oppløsning.

Kortet er et standard speilvendt cPCI kort slik at det passer bak i alle cPCI hyller, men har ikke noe kontakt eller forbindelse med PCI bussen.



Figur 2.2 Systemtilkobling

2.3 Digital inn- og utganger

De digitale og semidigitale inngangene har felles multiplekset buss. Dette ble valgt på grunn av pinnemangel. Vi har likevel valgt å ha fire direkte utganger for klokke eller andre kontinuerlige signaler.

2.3.1 Digitale utganger

Det er satt inn tre 10 pinner flatkabel kontakter med 8 utganger hver. I tillegg til signalene er det også lagt inn 3,3V power og ground. Disse signalene er 'latched' fra felles digital IO-bussen og har TTL nivå og er drevet fra 5V TTL logikk. Hver latch har sitt eget latch signal som kommer direkte fra kantkontakten. Denne logikken ligger på 'buffer' skjemaene, se Appendiks C.4 for konstruksjonsdetaljer og Appendiks A for plassering på kortet.

2.3.2 Digitale innganger

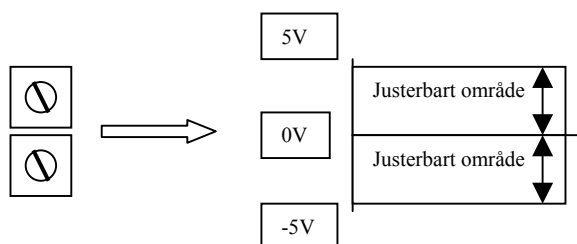
Det er satt inn to 10 pinner flatkabel kontakter med 8 innganger hver. I tillegg til signalene er det også lagt inn 3,3V power og ground. Signalene er bufret inn og tolerer standard 5V TTL signal. Bufferne sørger for at signalnivået inn til FPGA kretsen ikke overstiger 3.3V. Bufferne kan leses over den felles digitale IO-bussen. Hvert buffer har sitt eget 'enable' signal som kommer direkte fra kantkontakten. Denne logikken ligger på 'buffer' skjemaene, se Appendiks C.4 for konstruksjonsdetaljer og Appendiks A for plassering på kortet.

2.3.2.1 Feil funnet og rettet under uttesting

Ud1 var i utgangspunktet en 16244 buffer, denne ble byttet ut med et standard fct244 buffer. Dette resulterte i at to kretser fikk samme referanse. Utleggssystemet har byttet referansen på den ene fct244 kretsen på skjema i appendiks C.4 side 2, den har fått referanse U24.

2.3.3 Semidigitale utganger

Det er satt inn fire såkalte semidigitale utganger på kortet, med det menes det at signalet svinger mellom to spennings nivåer som kan justeres med potmetere. Positivt og negativt utslag fra jord justeres hver for seg på separate potmetere. Den positive nivået kan justeres mellom 0V og ca 4,5V, den negative nivået kan justeres mellom 0V og ca. -4,5V. Driverne skal klare å drive en 50ohms linje og last. Utgangene fores direkte ut, noe vi valgte slik at vi kunne generere klokkesignaler og synkroniserings signaler her. Vi har brukt fire AD8037 drivere fra Analog Devices. Hver driver har sin egen -5V generator, en MAX660 fra National Semiconductor.

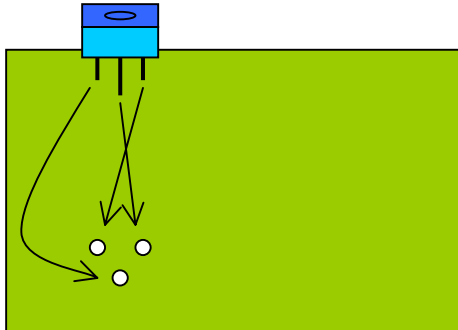


Figur 2.3 Justerbart spenningsområde

2.3.3.1 Feil funnet og rettet under uttesting

Det er funnet 20 feil i dette designet. Referer til skjema C.4 i appendiks.

- (4 feil) Alle utgangene har ett diskret filter, dette må fjernes. Fjern C3do, C8do, C13do og C18do.
- (8 feil) Alle potmeterne har fått feil mapping. Dette medfører at pinnene på potmeterne må roteres 120 grader mot klokka for å få riktig funksjon.



Figur 2.4 Potmeter mapping

- (8 feil) Testpunktene for justering av potmeterne har ikke fått noen referanse. Dette er blitt lagt inn av utleggsprogrammet som følger:

Test punkt:	Referanse:
Bit 0 inn	U14
Bit 0 ut	U17
Bit 1 inn	U13
Bit 1 ut	U16
Bit 2 inn	U12
Bit 2 ut	U15
Bit 3 inn	U11
Bit 3 ut	U18

Referer til skjema C.4 i appendiks

Tabell 2.1 Komponent referanser på potmeterne

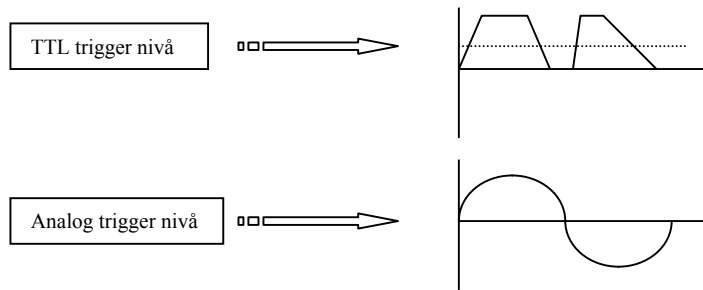
2.3.4 Semidigitale innganger

Disse inngangene er ikke direkte koblet, men blir lest over den digitale IO fellesbussen.

Inngangene kan konfigureres på to måter:

- TTL nivå inn, terminert med 50ohm.
- Analogt nivå inn med sving rundt 0V, terminert med 50ohm.

Dette kan velges med en jumper. Med jumperen av er inngangen konfigurert som analog inngang og trigger på signal som svinger rundt 0V. Med jumperen på, trigger inngangs komparatoren på TTL nivå (ca 2V). Referer til Appendiks B.1 for jumper plassering og appendiks A for kontaktplassering. Skjemaer finnes i Appendiks C.4



Figur 2.5 Valgbart triggernivå

2.3.4.1 Feil funnet og rettet under uttesting

Det er funnet 9 feil og endringer i dette designet. Referer til skjema C.4 i appendiks.

- (1 feil) Kondensator C5di med verdi $47\mu\text{F}$ har feil polarisasjon.
- (8 feil) Alle innganger har ett diskret filter, dette må fjernes. Fjern C1di, C2di, C3di og C4di. Inngangs impedansen til schmith triggeren er så høyohmig at motstandene R2di, R6di, R10di og R14di kan sitte, selv om de burde byttes ut med en kortslutting.

2.4 Analog IO

Kortet har to av hver type IO, dette var nødvendig fordi vi bruker I og Q kanal sampling i systemet vårt. Vi valgte å sette inn både 12bit's og 14bit's AD konverter. Vi ønsket å ta høyde for flest mulige applikasjoner og fleksibilitet. DA konverteren er meget rask og det betviles om kapasiteten kan utnyttes, men den ble valgt på grunn av enkel digital tilkobling og funksjonalitet som passet oss godt.

2.4.1 Analog inngang 12bit 105Msamples

Den 12bit's analoge inngangen er bygget rundt en AD9432bst fra Analog Devices. Denne kretsen klarer en samplingsrate på 105Msamples. For å drive AD konverteren valgte vi å bruke en differensiell opamp, AD8138ar også denne fra Analog Devices. Utgangene av konverteren er latchet/buffret slik at den elektriske lasten blir liten. For å drive klokka valgte vi å bruke 100ELT22 PECL driver. Det er satt av plass til ett delay element på klokka. Dette er gjort i tilfelle det trengs justering av klokketidspunktet i forhold til klokking av utgangs latchen. Referer til Appendiks A for plassering av SMAplugg inngangene. Data og kontroll signalene er forklart i Appendiks B.2. Skjemaer finnes i Appendiks C.6

2.4.1.1 Feil funnet og rettet under uttesting

På denne modulen er det funnet to feil og det er gjort en system forandring.

- Det er ett motstand - kondensator parallell par som er koblet til Vee isteden for GND. C03Iadc2 - R13iadc2 og C03Qadc2 - R13Qadc2 er omkoblet til GND. Ref skjema.
- Inngangen er DC koblet, dette viste seg uheldig og vanskelig å håndtere. To av inngangs motstandene er derfor modifisert og satt sammen av en motstand og en kondensator i serie. Følgende motstander er byttet ut:

I kanal skjema:

Komponent referanse:	Komponentverdi før:	Komponentverdi nå:
R02iadc2	0Ω	27Ω i serie med en 10nF kondensator
R03iadc2	500Ω	470Ω
R04iadc2	25Ω	56Ω i serie med en 10nF kondensator
R05iadc2	500Ω	470Ω
R06iadc2	500Ω	470Ω
R07iadc2	0Ω	27Ω
R08iadc2	500Ω	470Ω
R09iadc2	0Ω	27Ω

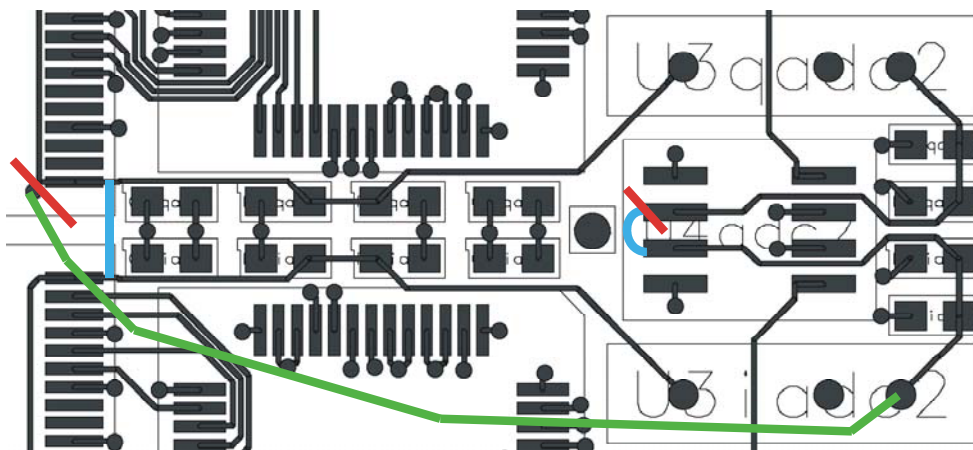
Q kanal skjema:

Komponent referanse:	Komponentverdi før:	Komponentverdi nå:
R02qadc2	0Ω	27Ω i serie med en 10nF kondensator
R03qadc2	500Ω	470Ω
R04qadc2	25Ω	56Ω i serie med en 10nF kondensator
R05qadc2	500Ω	470Ω
R06qadc2	500Ω	470Ω
R07qadc2	0Ω	27Ω
R08qadc2	500Ω	470Ω
R09qadc2	0Ω	27Ω

Tabell 2.2 Komponent verdi forandringer

- Systemendringen består i å koble samme system klokke til I og Q kanal ADC kretser. I og Q kanal sampling er svært følsom for offset i tid så dette viste seg nødvendig. Dette ble gjort på følgende måte:
 - Pinne 6 på U4adc2 ble løftet fra printkortet.
 - Pinne 6 på U4adc2 ble loddet sammen med pinne 7 på samme krets.
 - Ledningsbane til U2qadc2 ble kuttet.
 - Pinne 48 på U2iadc2 ble koblet til pinne 25 på U2qadc2.
 - Den frigjorte pletteringa ble koblet til U3iadc2 høyre pinne. Se grønn strap på tegning. Denne koblingen ble gjort på undersiden av kortet.

Fargeforklaring til tegning: Rød: er brudd, kutt. Blå: er lodding eller kobling gjort med uisolert ledning. Grønn: er kobling gjort med isolert ledning.



Figur 2.6 Oppretting av 12bit IQ synkronisering

Dette fører til at kontroll signalene beskrevet har litt endret funksjon.

- adc12_Qctrl er nå klokkesignal til både I og Q kanal ADC.
- adc12_Ictrl er nå klokkesignal til både I og Q kanal output buffer registre.

2.4.2 Analog inngang 14bit 52Msamples

Den 14bit's analoge inngangen er bygget rundt en CLC5958slb fra National Semiconductor. Denne kretsen klarer en samplingsrate på maks 52Msamples. For å drive AD konverteren valgte vi å bruke en differensiell opamp, AD8138ar fra Analog Devices. Utgangene av konverteren er latchet/buffret slik at den elektriske lasten blir liten. For å drive klokka valgte vi å bruke 100ELT22 PECL buffer. Det er satt av plass til ett delay element på klokka, dette er gjort i tilfelle det trengs justering av klokketidspunktet i forhold til klokking av utgangs latches. Referer til Appendiks A for plassering av SMAplugg inngangene. Data og kontroll signalene er forklart i Appendiks B.3 Skjemaer finnes i Appendiks C.7

2.4.2.1 Feil funnet og rettet under uttesting

Disse ADC'ene er i skrivende stund ikke fullt uttestet. Det er foreløpig funnet 2 feil.

- Motstand R14iadc4 og R14qadc4 skulle ikke vært montert, og er fjernet.
- Motstand R13iadc4 og R13qadc4 er koblet til GND isteden for Vee som på skjema.

2.4.3 Analog utgang 14bit 300Msamples

Vi valgte en AD9755 DAC fra Analog Devices som skulle dekke de fleste almene behov. Maks utklokkings hastighet er 300Mhz. Denne frekvensen genereres internt med en PLL slik at inngangsklokka kan gå saktere. Vi valgte navnet I og Q kanal, men det har ikke noe med bruken å gjøre, de to DAC kretsene er helt uavhengige av hverandre. Hvis klokka skal ha lavere frekvens enn 6,25Mhz må PLL klokke generatoren kobles ut og klokka må drives direkte. Frekvensen må da være det doble av ønsket samplingsfrekvens. Det er satt inn en jumper som kobler ut PLL'en. Den har referanse JP1idaq og JP1qdaq for henholdsvis DAC I kanal og DAC Q kanal. Referer til Appendiks A for jumper plassering og kobling. Hver DAC har sin egen 5V inverter for generering av negativ spenning til utgangs operasjonsforsterkeren. Referer til Appendiks A for plassering av SMAplugg inngangene. Data og kontroll signalene er forklart i Appendiks B.4 Skjemaer finnes i Appendiks C.8

2.4.3.1 Feil funnet og rettet under uttesting

På Q kanal designet har spenningsgeneratoren fått samme referanse som på I kanal kortet. Denne er byttet ut av utleggssystemet og fått referanse: U10. Referer til skjema C.8 ark 2 i appendiks.

2.5 Spenningsgenerator

Det er lagt inn to spenningsregulatorer. Den ene er en 5V spenningsvender som lager negativ strømforsyning til alle fire AD konverterne. Den andre er en 1,8V spenningsregulator for bruk i enkle system hvor vi bare har ett FPGA kort. FPGA kortet trenger 1,8V til FPGA kretsen og det var hendig å legge det inn på IOKortet. Hvis ett IOKort med påmontert 1,8V regulator blir satt inn i en hylle med 1,8V strømforsyning, går dette bra da kretsen tolerer dette. Skjemaer finnes i Appendiks C.5

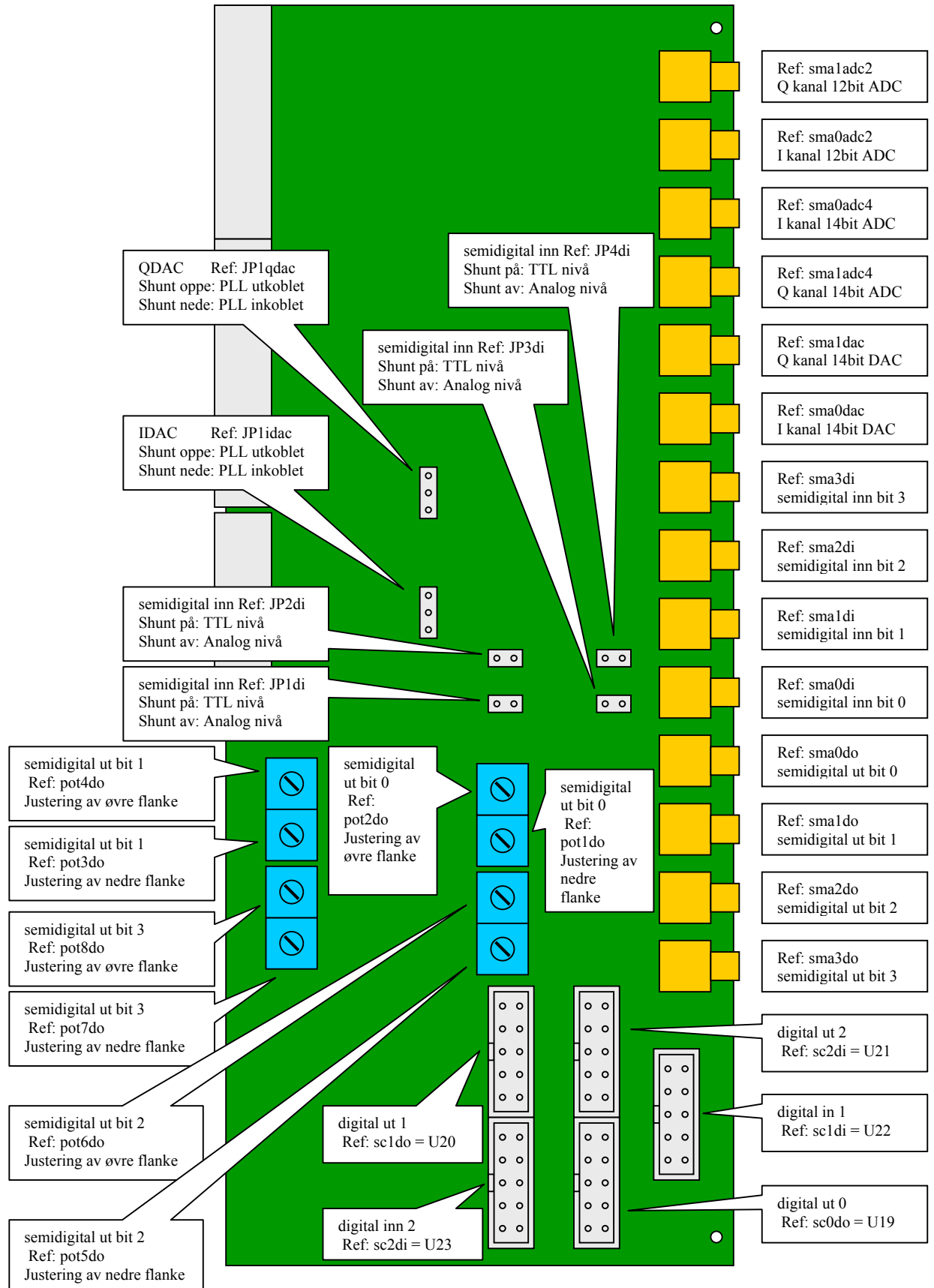
2.6 Implementasjon

Under toppnivå tegningen er det 7 underdesign som består av ett eller 2 ark. Her er en oversikt.

Skema navn	Antall ark	Innhold
fpgaio (top) Appendiks C.1	1	Toppnivå sammenkobling
edgeconn Appendiks C.2	1	Kantkontaktene mot bakplanet
sma Appendiks C.3	1	Frontkontaktene både SMA og flatkabel kontakter
buffer Appendiks C.4	2	Digital og semidigital IO
powergen Appendiks C.5	1	1,8V regulator og neg5V generator for ADC og DAC
adc12 Appendiks C.6	2	ADC 12bit's 105Msample
adc14 Appendiks C.7	2	ADC 14bit's 52Msample
dac Appendiks C.8	2	DAC 14bit's 300Msample

Tabell 2.3 Implementasjons oversikt

A KANTKONTAKTER OG JUMPER PLASSERINGER



Figur 2.7 Jumper og kontakt plassering

B SIGNALNAVN OG BUS SAMMENKOBLING

B.1 Digital io pinmap mot bakplan

Bakplan pinne	Bakplan navn	Bussnavn
J5 e2	output(58)	direct_out(0)
J5 e3	output(59)	direct_out(1)
J5 e4	output(60)	direct_out(2)
J5 e5	output(61)	direct_out(3)
J5 e6	output(62)	direct_d(0)
J5 e7	output(63)	direct_d(1)
J5 e8	output(64)	direct_d(2)
J5 e9	output(65)	direct_d(3)
J5 e10	output(66)	direct_d(4)
J5 e11	output(67)	direct_d(5)
J5 e12	output(68)	direct_d(6)
J5 e13	output(69)	direct_d(7)
J5 e14	output(70)	direct_ws(0)
J5 e15	output(71)	direct_ws(1)
J5 e16	output(72)	direct_ws(2)
J5 e17	output(73)	direct_rs(0)
J5 e18	output(74)	direct_rs(1)
J5 e19	output(75)	direct_rs(2)

Tabell B.1 Digital io pinmap mot bakplan

B.2 Analog 12BitADC io pinmap mot bakplan

Bakplan pinne	Bakplan navn	Bussnavn	Bakplan pinne	Bakplan navn	Bussnavn
J5 b12	output(30)	adc12_Id(0)	J5 d5	output(42)	adc12_Qd(0)
J5 b13	output(31)	adc12_Id(1)	J5 d6	output(43)	adc12_Qd(1)
J5 b14	output(32)	adc12_Id(2)	J5 d7	output(44)	adc12_Qd(2)
J5 b15	output(33)	adc12_Id(3)	J5 d8	output(45)	adc12_Qd(3)
J5 b16	output(34)	adc12_Id(4)	J5 d9	output(46)	adc12_Qd(4)
J5 b17	output(35)	adc12_Id(5)	J5 d10	output(47)	adc12_Qd(5)
J5 b18	output(36)	adc12_Id(6)	J5 d11	output(48)	adc12_Qd(6)
J5 b19	output(37)	adc12_Id(7)	J5 d12	output(49)	adc12_Qd(7)
J5 d1	output(38)	adc12_Id(8)	J5 d13	output(50)	adc12_Qd(8)
J5 d2	output(39)	adc12_Id(9)	J5 d14	output(51)	adc12_Qd(9)
J5 d3	output(40)	adc12_Id(10)	J5 d15	output(52)	adc12_Qd(10)
J5 d4	output(41)	adc12_Id(11)	J5 d16	output(53)	adc12_Qd(11)
J5 d17	output(54)	adc12_Ictrl	J5 d19	output(56)	adc12_Qctrl
J5 d18	output(55)	adc12_Ior	J5 e1	output(57)	adc12_Qor

Tabell B.2 Analog 12BitADC io pinmap mot bakplan

B.3 Analog 14BitADC io pinmap mot bakplan

Bakplan pinne	Bakplan navn	Bussnavn	Bakplan pinne	Bakplan navn	Bussnavn
J5 a1	output(0)	adc14_Id(0)	J5 a15	output(14)	adc14_Qd(0)
J5 a2	output(1)	adc14_Id(1)	J5 a16	output(15)	adc14_Qd(1)
J5 a3	output(2)	adc14_Id(2)	J5 a17	output(16)	adc14_Qd(2)
J5 a4	output(3)	adc14_Id(3)	J5 a18	output(17)	adc14_Qd(3)
J5 a5	output(4)	adc14_Id(4)	J5 a19	output(18)	adc14_Qd(4)
J5 a6	output(5)	adc14_Id(5)	J5 b1	output(19)	adc14_Qd(5)
J5 a7	output(6)	adc14_Id(6)	J5 b2	output(20)	adc14_Qd(6)
J5 a8	output(7)	adc14_Id(7)	J5 b3	output(21)	adc14_Qd(7)
J5 a9	output(8)	adc14_Id(8)	J5 b4	output(22)	adc14_Qd(8)
J5 a10	output(9)	adc14_Id(9)	J5 b5	output(23)	adc14_Qd(9)
J5 a11	output(10)	adc14_Id(10)	J5 b6	output(24)	adc14_Qd(10)
J5 a12	output(11)	adc14_Id(11)	J5 b7	output(25)	adc14_Qd(11)
J5 a13	output(12)	adc14_Id(12)	J5 b8	output(26)	adc14_Qd(12)
J5 a14	output(13)	adc14_Id(13)	J5 b9	output(27)	adc14_Qd(13)
J5 b10	output(28)	adc14_Ictrl	J5 b11	output(29)	adc14_Qctrl

Tabell B.3 Analog 14BitADC io pinmap mot bakplan

B.4 Analog 14BitDAC io pinmap mot bakplan

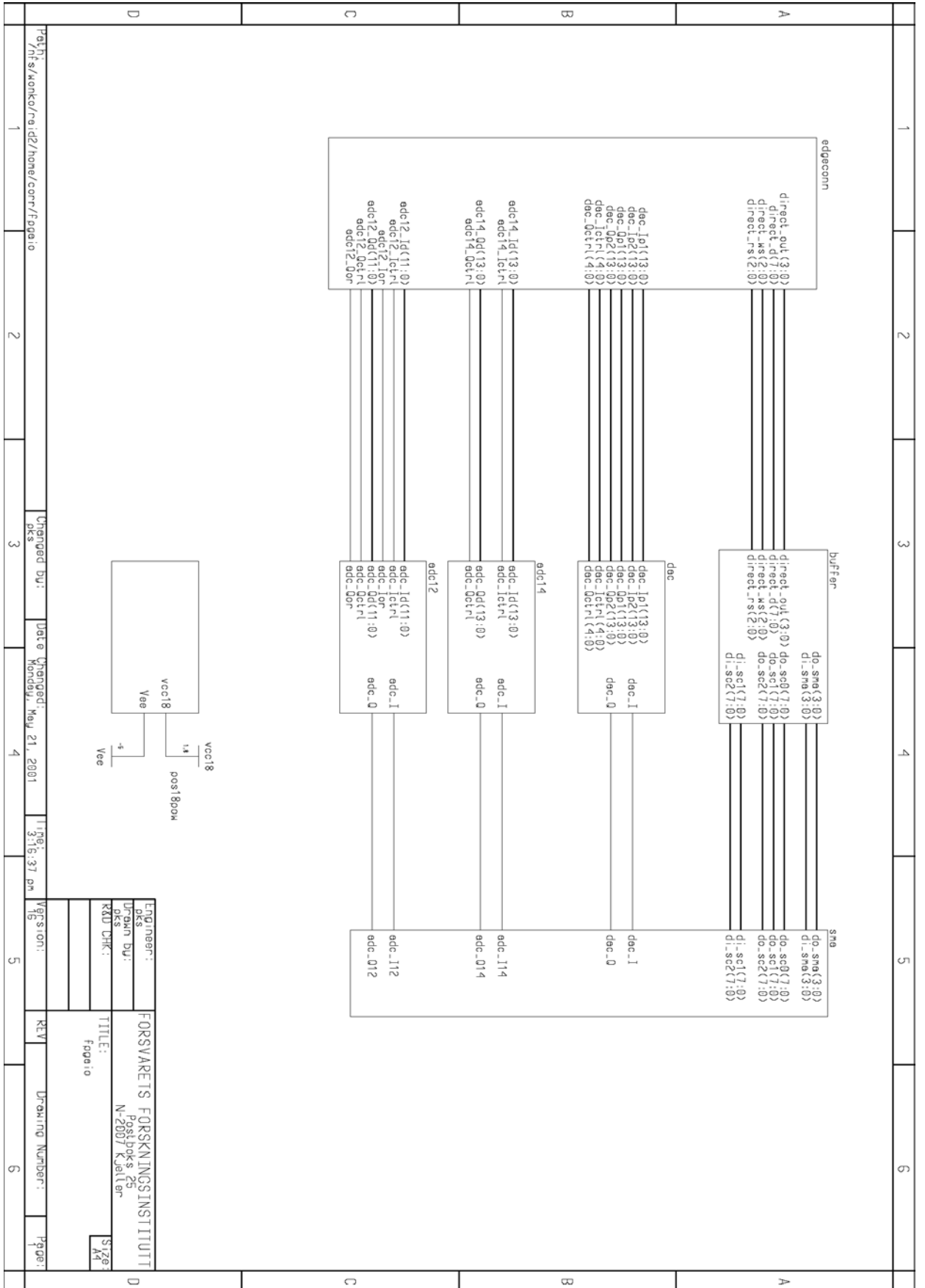
Bakplan pinne	Bakplan navn	Bussnavn	Bakplan pinne	Bakplan navn	Bussnavn
J3 a1	Input(0)	dac_Ip1(0)	J3 d3	Input(40)	dac_Qp1(0)
J3 a2	Input(1)	dac_Ip1(1)	J3 d4	Input(41)	dac_Qp1(1)
J3 a3	Input(2)	dac_Ip1(2)	J3 d5	Input(42)	dac_Qp1(2)
J3 a4	Input(3)	dac_Ip1(3)	J3 d6	Input(43)	dac_Qp1(3)
J3 a5	Input(4)	dac_Ip1(4)	J3 d7	Input(44)	dac_Qp1(4)
J3 a6	Input(5)	dac_Ip1(5)	J3 d8	Input(45)	dac_Qp1(5)
J3 a7	Input(6)	dac_Ip1(6)	J3 d9	Input(46)	dac_Qp1(6)
J3 a8	Input(7)	dac_Ip1(7)	J3 d10	Input(47)	dac_Qp1(7)
J3 a9	Input(8)	dac_Ip1(8)	J3 d11	Input(48)	dac_Qp1(8)
J3 a10	Input(9)	dac_Ip1(9)	J3 d12	Input(49)	dac_Qp1(9)
J3 a11	Input(10)	dac_Ip1(10)	J3 d13	Input(50)	dac_Qp1(10)
J3 a12	Input(11)	dac_Ip1(11)	J3 d14	Input(51)	dac_Qp1(11)
J3 a13	Input(12)	dac_Ip1(12)	J3 d15	Input(52)	dac_Qp1(12)
J3 a14	Input(13)	dac_Ip1(13)	J3 d16	Input(53)	dac_Qp1(13)
J3 a17	Input(16)	dac_Ip2(0)	J3 d19	Input(56)	dac_Qp2(0)
J3 a18	Input(17)	dac_Ip2(1)	J3 e1	Input(57)	dac_Qp2(1)
J3 a19	Input(18)	dac_Ip2(2)	J3 e2	Input(58)	dac_Qp2(2)
J3 b1	Input(19)	dac_Ip2(3)	J3 e3	Input(59)	dac_Qp2(3)
J3 b2	Input(20)	dac_Ip2(4)	J3 e4	Input(60)	dac_Qp2(4)
J3 b3	Input(21)	dac_Ip2(5)	J3 e5	Input(61)	dac_Qp2(5)
J3 b4	Input(22)	dac_Ip2(6)	J3 e6	Input(62)	dac_Qp2(6)
J3 b5	Input(23)	dac_Ip2(7)	J3 e7	Input(63)	dac_Qp2(7)
J3 b6	Input(24)	dac_Ip2(8)	J3 e8	Input(64)	dac_Qp2(8)
J3 b7	Input(25)	dac_Ip2(9)	J3 e9	Input(65)	dac_Qp2(9)
J3 b8	Input(26)	dac_Ip2(10)	J3 e10	Input(66)	dac_Qp2(10)
J3 b9	Input(27)	dac_Ip2(11)	J3 e11	Input(67)	dac_Qp2(11)

J3 b10	Input(28)	dac_Ip2(12)	J3 e12	Input(68)	dac_Qp2(12)
J3 b11	Input(29)	dac_Ip2(13)	J3 e13	Input(69)	dac_Qp2(13)
J3 b12	Input(30)	dac_Ictrl(0)	J3 e14	Input(70)	dac_Qctrl(0)
J3 b13	Input(31)	dac_Ictrl(1)	J3 e15	Input(71)	dac_Qctrl(1)
J3 b14	Input(32)	dac_Ictrl(2)	J3 e16	Input(72)	dac_Qctrl(2)
J3 b15	Input(33)	dac_Ictrl(3)	J3 e17	Input(73)	dac_Qctrl(3)
J3 b16	Input(34)	dac_Ictrl(4)	J3 e18	Input(74)	dac_Qctrl(4)

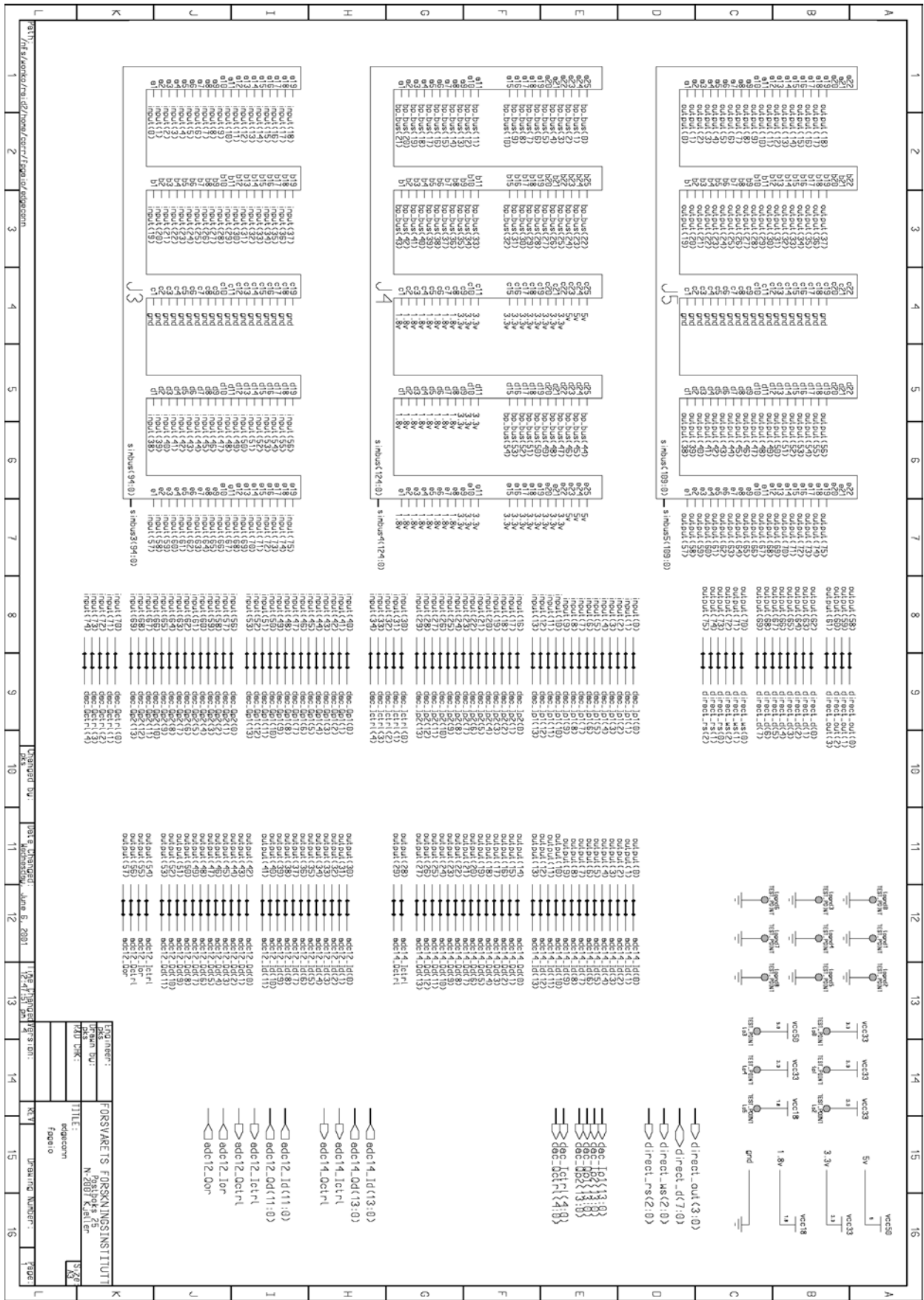
Tabell B.4 Analog 14BitDAC io pinmap mot bakplan

C SKJEMAER

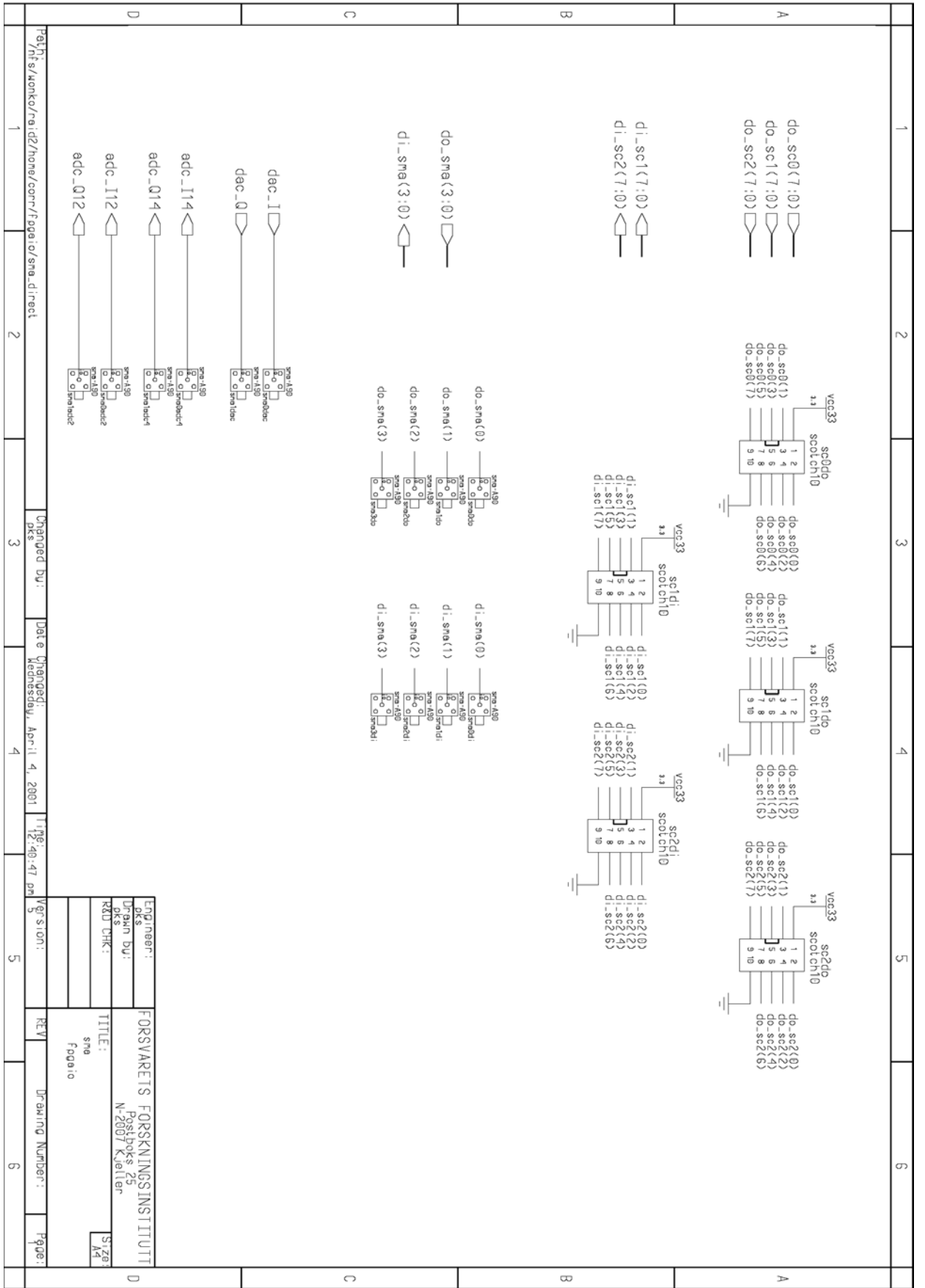
C.1 fpgaio toppnivå (1 ark)



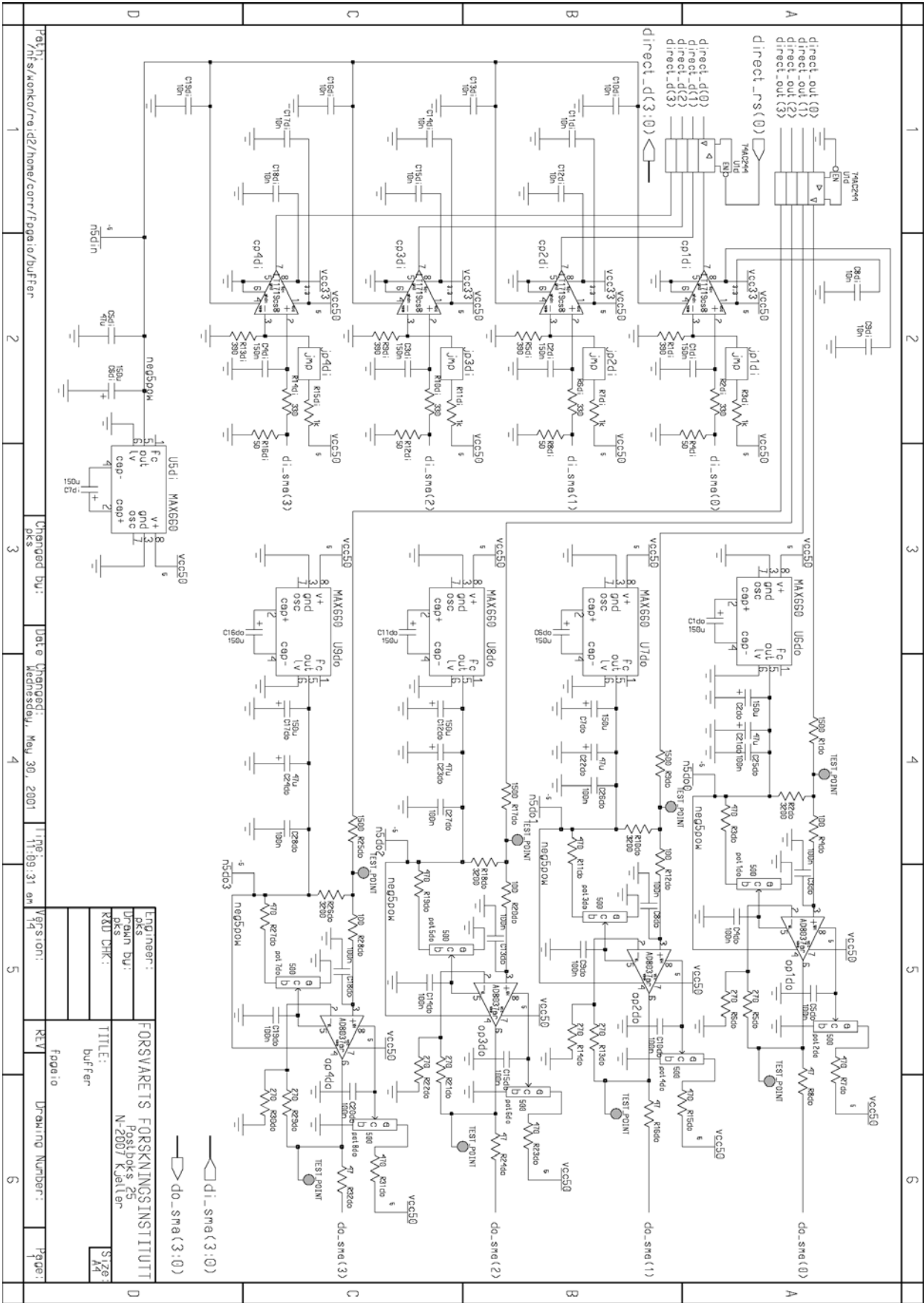
C.2 edgeconn (1 ark)



C.3 sma (1 ark)



C.4 buffer (2 ark)

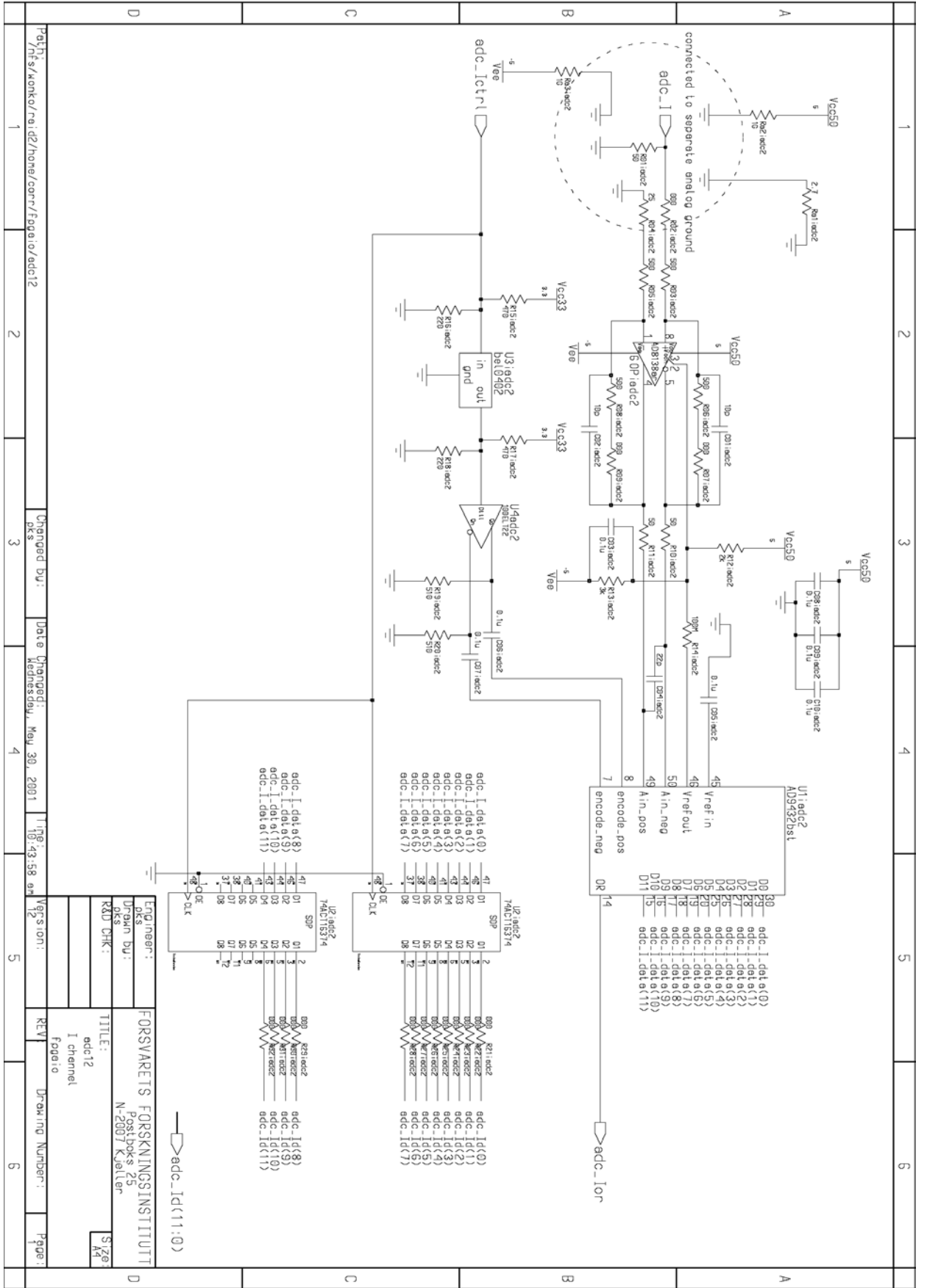


1	2	3	4	5	6																											
A		<p>direct_ns(1)</p> <p>di_sc1(7:0)</p>		<p>do_sc0(7:0)</p>	A																											
B		<p>di_sc2(7:0)</p>		<p>do_sc1(7:0)</p>	B																											
C		<p>direct_ns(2)</p>		<p>direct_ns(2)</p>	C																											
D	<p>direct_d(7:0) </p> <p>direct_ns(2:0) </p> <p>direct_ns(2:0) </p>	<p>Changed by: pks</p>	<p>Date Changed: 11.09.2001</p>	<p>Version: 1.0</p> <p>Page: 1</p>	D																											
<p>Path: /afs/konko/ou/d2/home/corr/fpgaio/buffer</p>																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%;">Engineer:</td> <td style="width: 33%;">FORSVARETS FORSKNINGSinSTITUTT</td> <td style="width: 33%;"></td> </tr> <tr> <td>Drawn by:</td> <td>Postboks 29</td> <td></td> </tr> <tr> <td>RD CHK:</td> <td>N-2007 Kjeller</td> <td></td> </tr> <tr> <td></td> <td>TITLE:</td> <td>Size</td> </tr> <tr> <td></td> <td>buffer</td> <td>A4</td> </tr> <tr> <td></td> <td>Page: 1</td> <td></td> </tr> <tr> <td></td> <td>Revision:</td> <td></td> </tr> <tr> <td></td> <td>REV</td> <td>Udraug Number:</td> </tr> <tr> <td></td> <td></td> <td>Page:</td> </tr> </table>						Engineer:	FORSVARETS FORSKNINGSinSTITUTT		Drawn by:	Postboks 29		RD CHK:	N-2007 Kjeller			TITLE:	Size		buffer	A4		Page: 1			Revision:			REV	Udraug Number:			Page:
Engineer:	FORSVARETS FORSKNINGSinSTITUTT																															
Drawn by:	Postboks 29																															
RD CHK:	N-2007 Kjeller																															
	TITLE:	Size																														
	buffer	A4																														
	Page: 1																															
	Revision:																															
	REV	Udraug Number:																														
		Page:																														

C.5 powergen (1 ark)

1	2	3	4	5	6																		
A																							
B																							
C																							
D				<table border="1"> <tr> <td>Engineer:</td> <td>FORSVARETS FORSKNING SINSTITUTT</td> </tr> <tr> <td>Drawn by:</td> <td>Per Pops, TS</td> </tr> <tr> <td>CKD CHK:</td> <td>N.2001 Kvaliter</td> </tr> <tr> <td>TITLE:</td> <td>powergen</td> </tr> <tr> <td>REV:</td> <td>fpdalo</td> </tr> <tr> <td>Version:</td> <td>1</td> </tr> <tr> <td>REV:</td> <td>1</td> </tr> <tr> <td>Drawing Number:</td> <td></td> </tr> <tr> <td>Page:</td> <td>1</td> </tr> </table>	Engineer:	FORSVARETS FORSKNING SINSTITUTT	Drawn by:	Per Pops, TS	CKD CHK:	N.2001 Kvaliter	TITLE:	powergen	REV:	fpdalo	Version:	1	REV:	1	Drawing Number:		Page:	1	
Engineer:	FORSVARETS FORSKNING SINSTITUTT																						
Drawn by:	Per Pops, TS																						
CKD CHK:	N.2001 Kvaliter																						
TITLE:	powergen																						
REV:	fpdalo																						
Version:	1																						
REV:	1																						
Drawing Number:																							
Page:	1																						
1	2	3	4	5	6																		
<p>Tafel: /net/s/wkko/ra_id2/home/corr/fpdalo/powergen</p>	<p>Uhganged du: dks</p>	<p>Dat e Uhganged: Monday, May 21, 2001</p>	<p>Ume: 2:37:21 pm</p>	<p>Version:</p>	<p>REV: 1 Drawing Number: Page: 1</p>																		

C.6 adc12 (2 ark)



Path: /Pfs/konko/oi/d2/home/conn/fpgaio/adc12

Changed by: [] Date Changed: []

Version: []

Engineer: []

Drawn by: []

R&D CHK: []

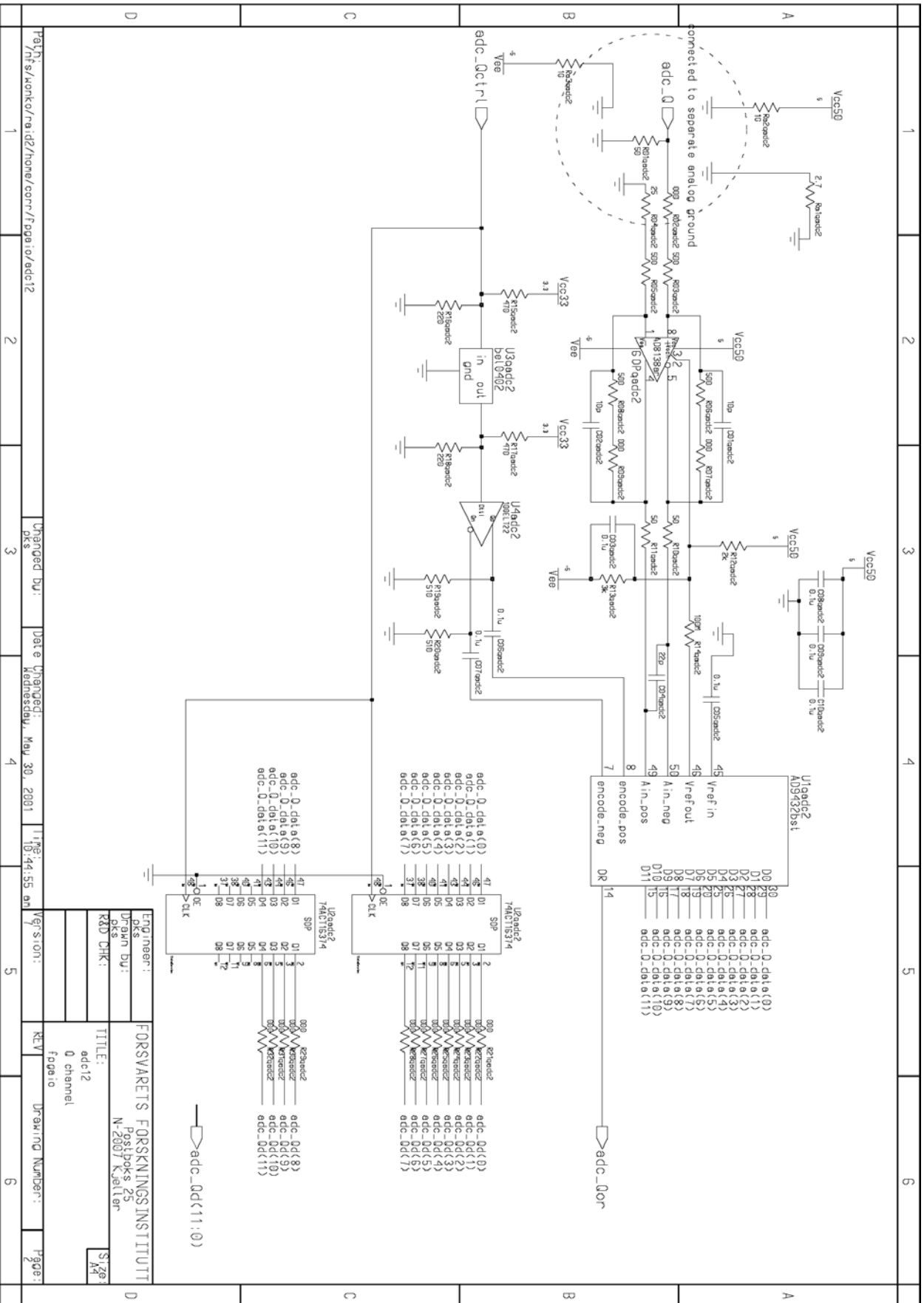
TITLE: []

I chennel []

Fpgaio []

DRWING Number: []

Page: []

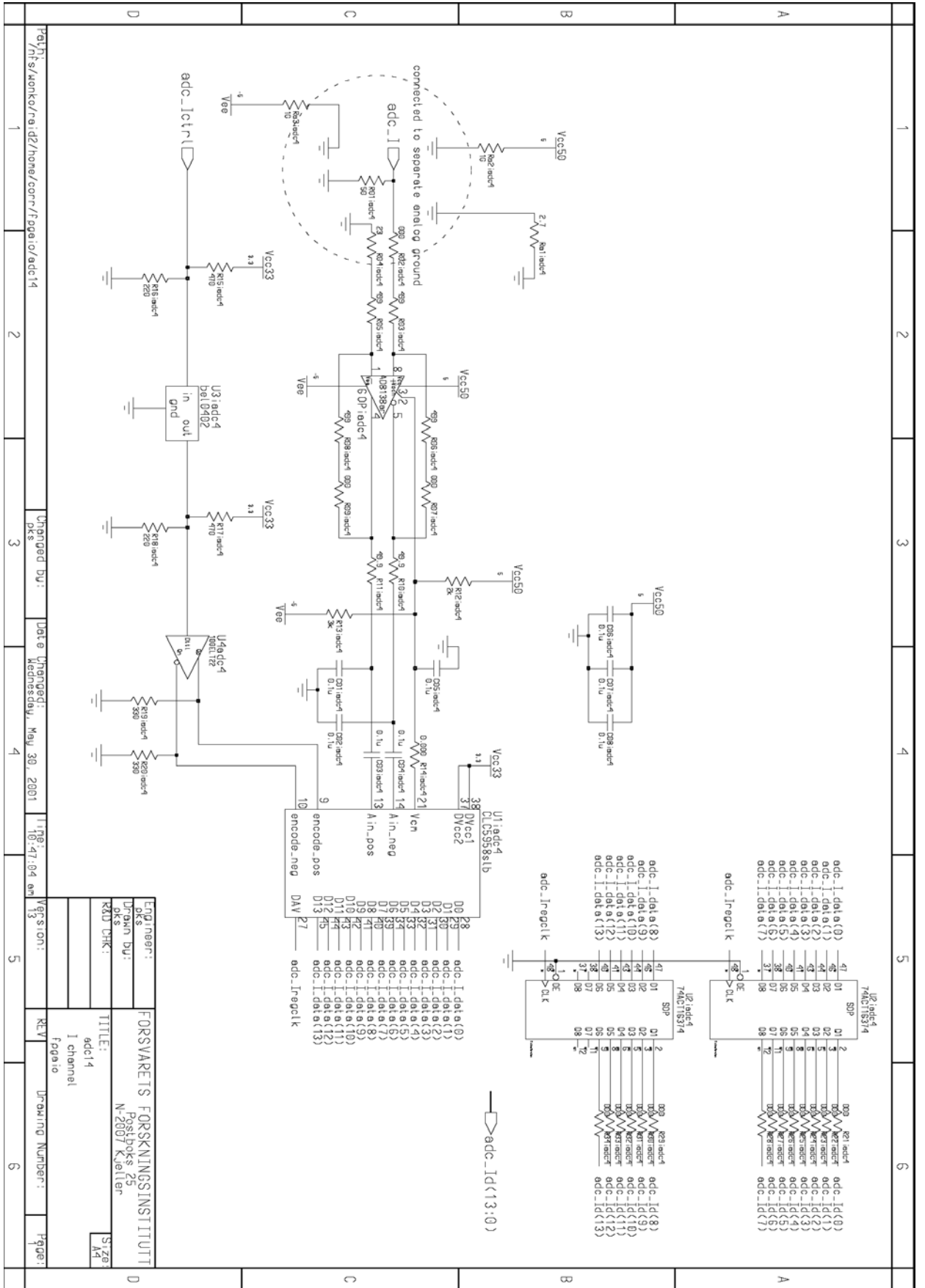


1	2	3	4	5	6
Path: /r/s/honko/raid2/home/corr/fpgaio/adc12		Changed by: pks	Date Changed: Wednesday, May 30, 2001 10:44:55 am	Version:	Page:
Engineer: FORSVARETS FORSKNINGSTITUTT		Title: adc12		Drawing Number:	
Drawn by: PERSBOKS 25		KAD CHK: 0 channel		Fpgaio	
KAD CHK: N:2007/Kad/len		REV:		Page:	

41	adc_0_data(8)	000	adc_0d(8)
42	adc_0_data(9)	000	adc_0d(9)
43	adc_0_data(10)	000	adc_0d(10)
44	adc_0_data(11)	000	adc_0d(11)
01	adc_0_data(8)	000	adc_0d(8)
02	adc_0_data(9)	000	adc_0d(9)
03	adc_0_data(10)	000	adc_0d(10)
04	adc_0_data(11)	000	adc_0d(11)
05	adc_0_data(8)	000	adc_0d(8)
06	adc_0_data(9)	000	adc_0d(9)
07	adc_0_data(10)	000	adc_0d(10)
08	adc_0_data(11)	000	adc_0d(11)

adc_0d(11:0)

C.7 adc14 (2 ark)



Path: /nt/s/konke/rø/dt/home/corr/fpgaio/adc14

Updated by: pks

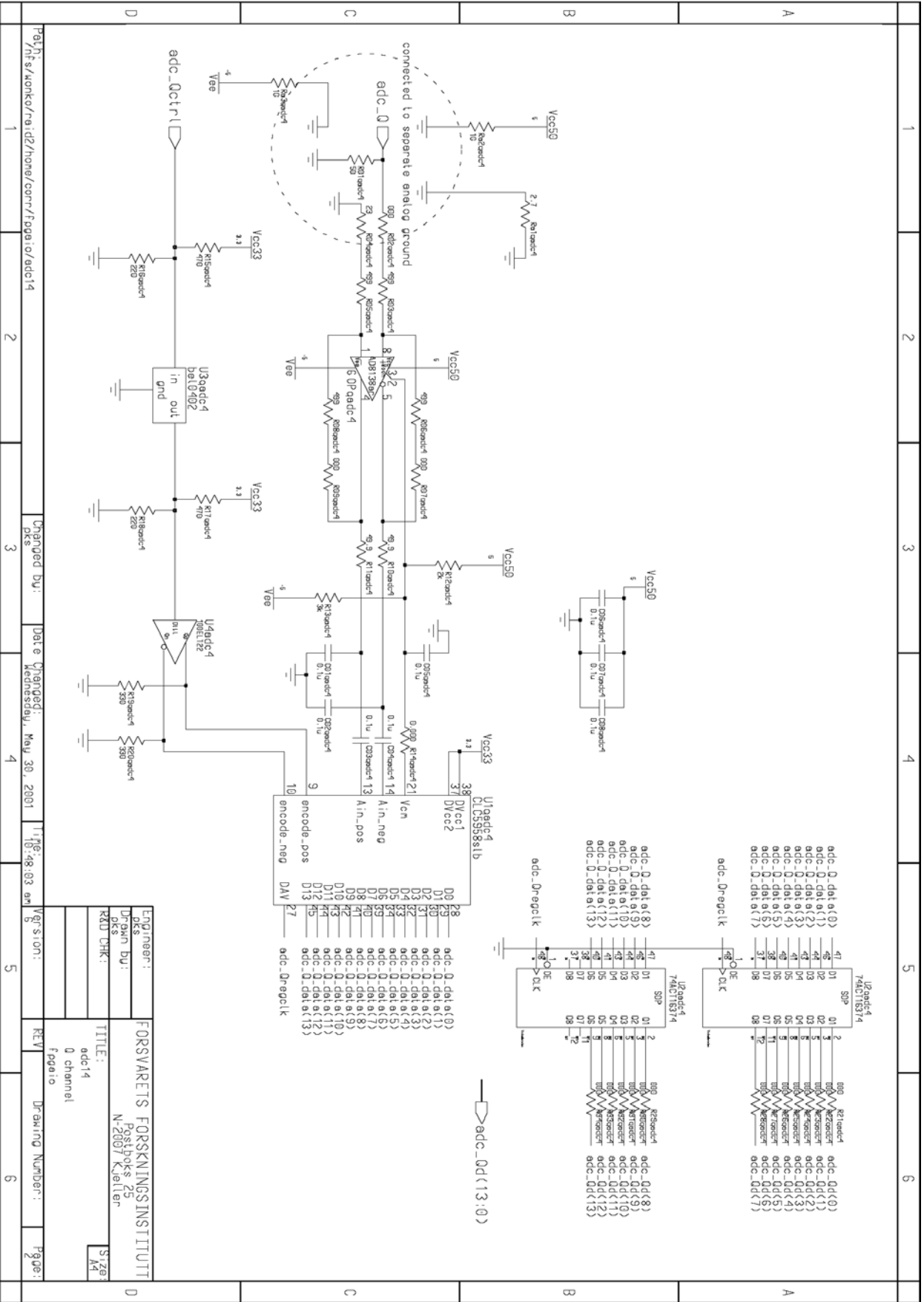
Date changed: 18.07.04 om 13

Version: 1.3

KEY: fpgaio

Drawing Number: Page:

ENGINEER:	FORSVARETS FORSKNINGSIKTUTT
DRAGN DU:	Postboks 25
PKS	N-2007 Kjeller
RÅD CHK:	
TITLE:	adc14
	1 channel
	fpgaio
SIZE:	A4



1 2 3 4 5 6

Part: /rtr/raonko/ra/d2/home/corr/foaiaio/adc14

Changed by: Dst e Changed: 10:48:03 am

Date: Wednesday, May 30, 2001

Version: 5

Revision: 2

Page: 2

Engineer: FORSVARETS FORSKNINGSinSTITUTT

Drawn by: POK/PKS/PC

Checked by: N-2001 Kjetilber

Title: adc14

0 channel

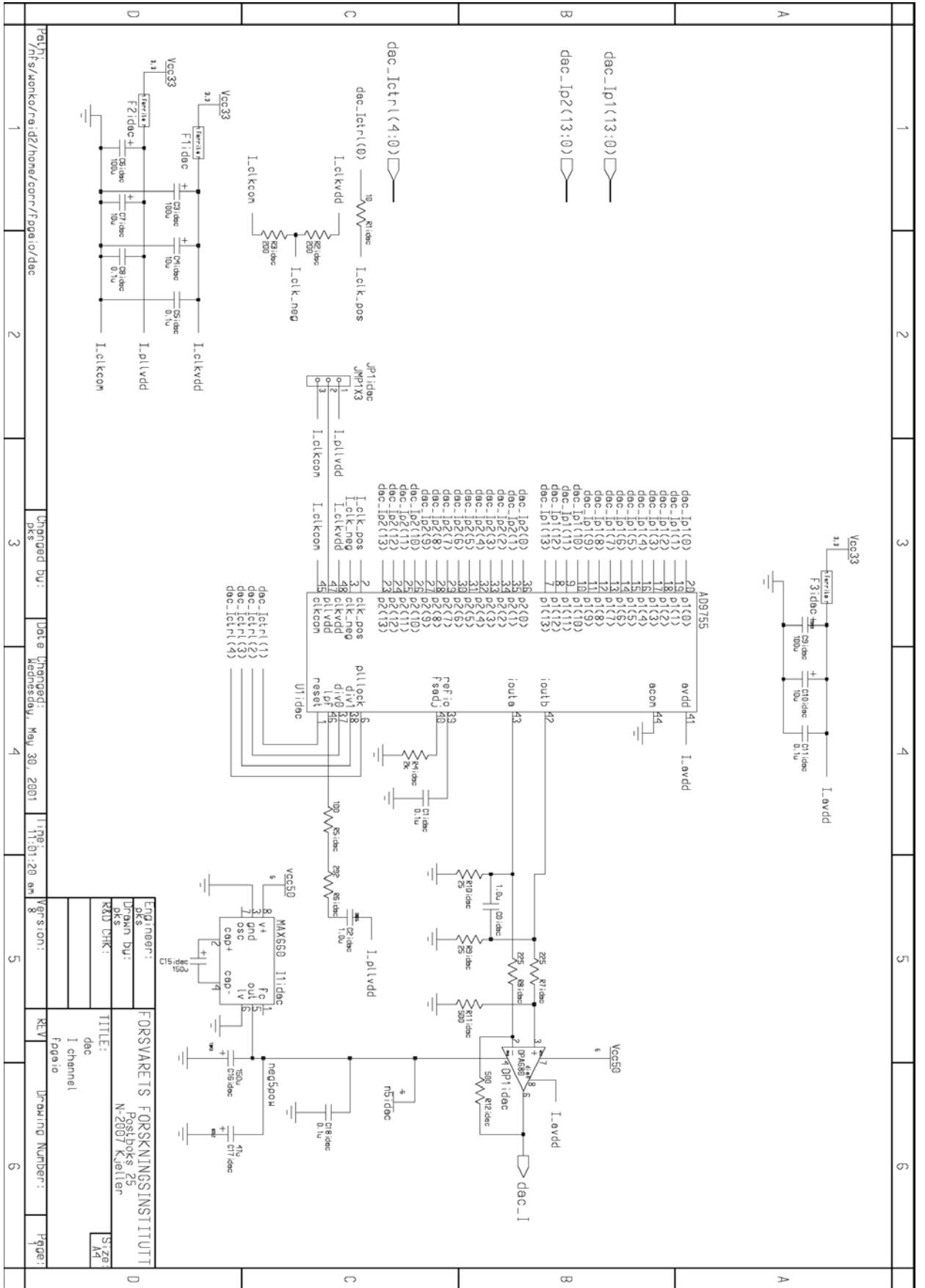
FOAio

Drawing Number:

REV

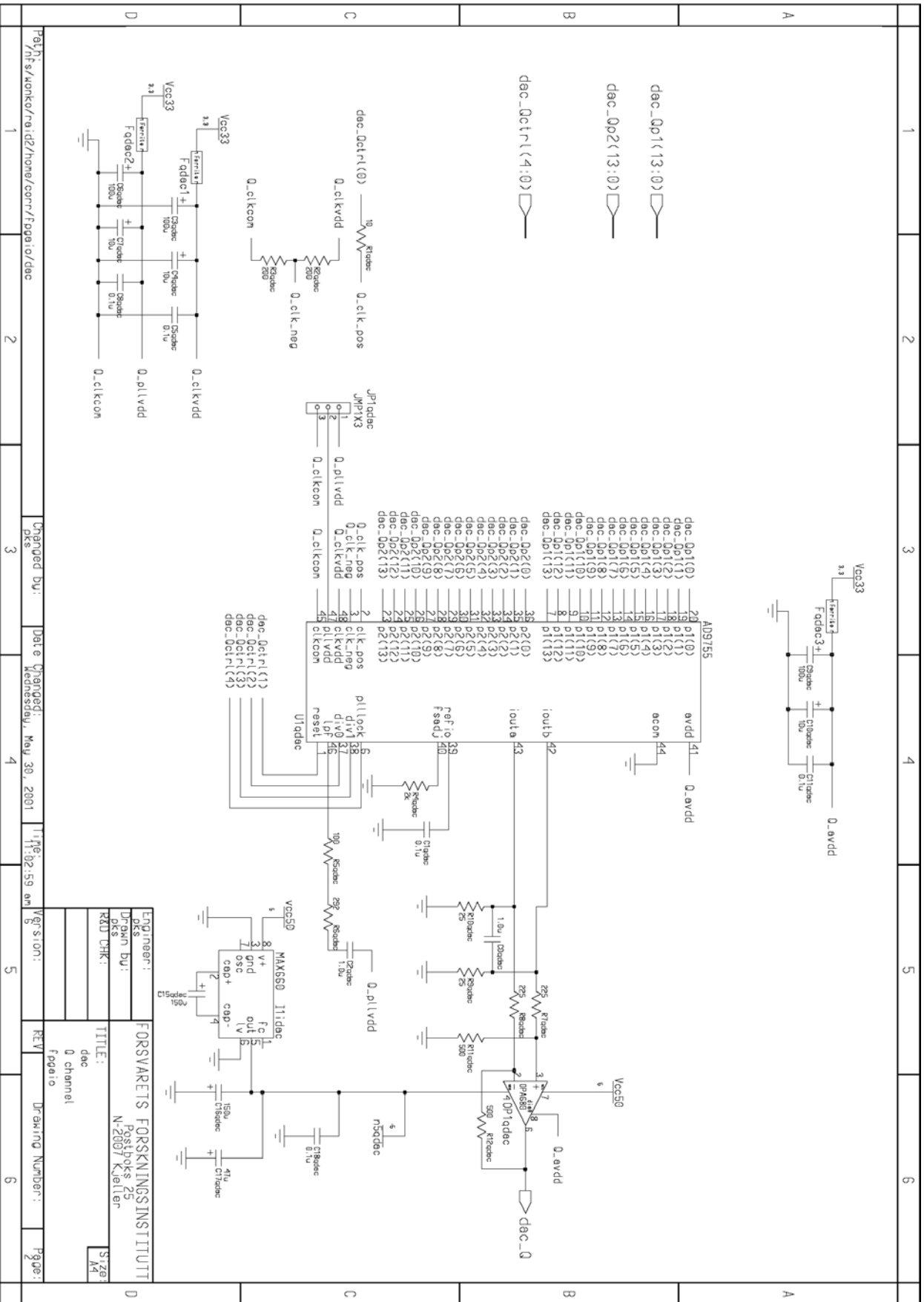
SIZE: A1

C.8 dac (2 ark)



Changed by: Date changed: May 30, 2001 11:01:20 am

Engineer:	FORSVARETS FORSKNINGSTITUTT
Drhan Du:	Postboks 25
DKS	N-2007 Kjøller
R&D CHK:	
TITLE:	dac
	I channel
KEY:	Page
Drawing Number:	
Page:	Size A4



Path: /nfs/monko/raid2/home/corr/fpdaio/dac

Changed by: pks

Date: Wednesday, May 30, 2001 11:02:59 am

Version: 5

REV: 1

Drawing Number: fpdaio

Page: 2

Engineer: pks

DRWN BY: pks

KRD CHK: pks

TITLE: FORSVARETS FORSKNINGSINSTITUTT

PROJECT: PDAIO K20

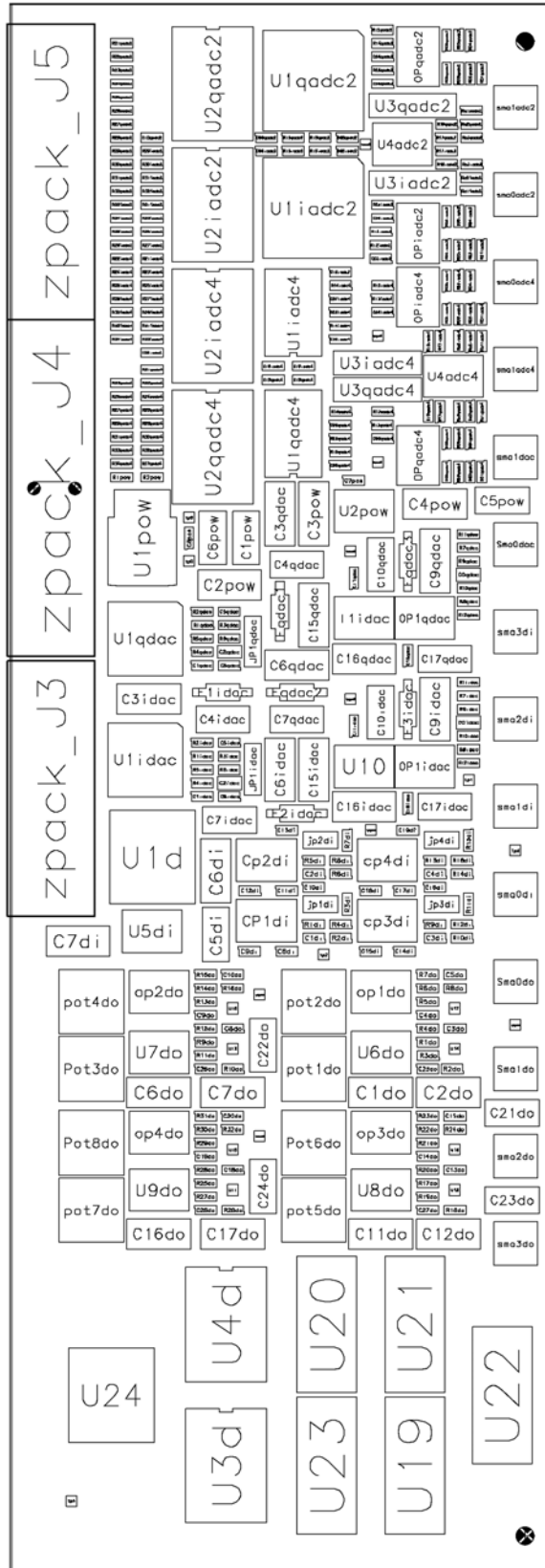
N:2001 K20

SIZE: A1

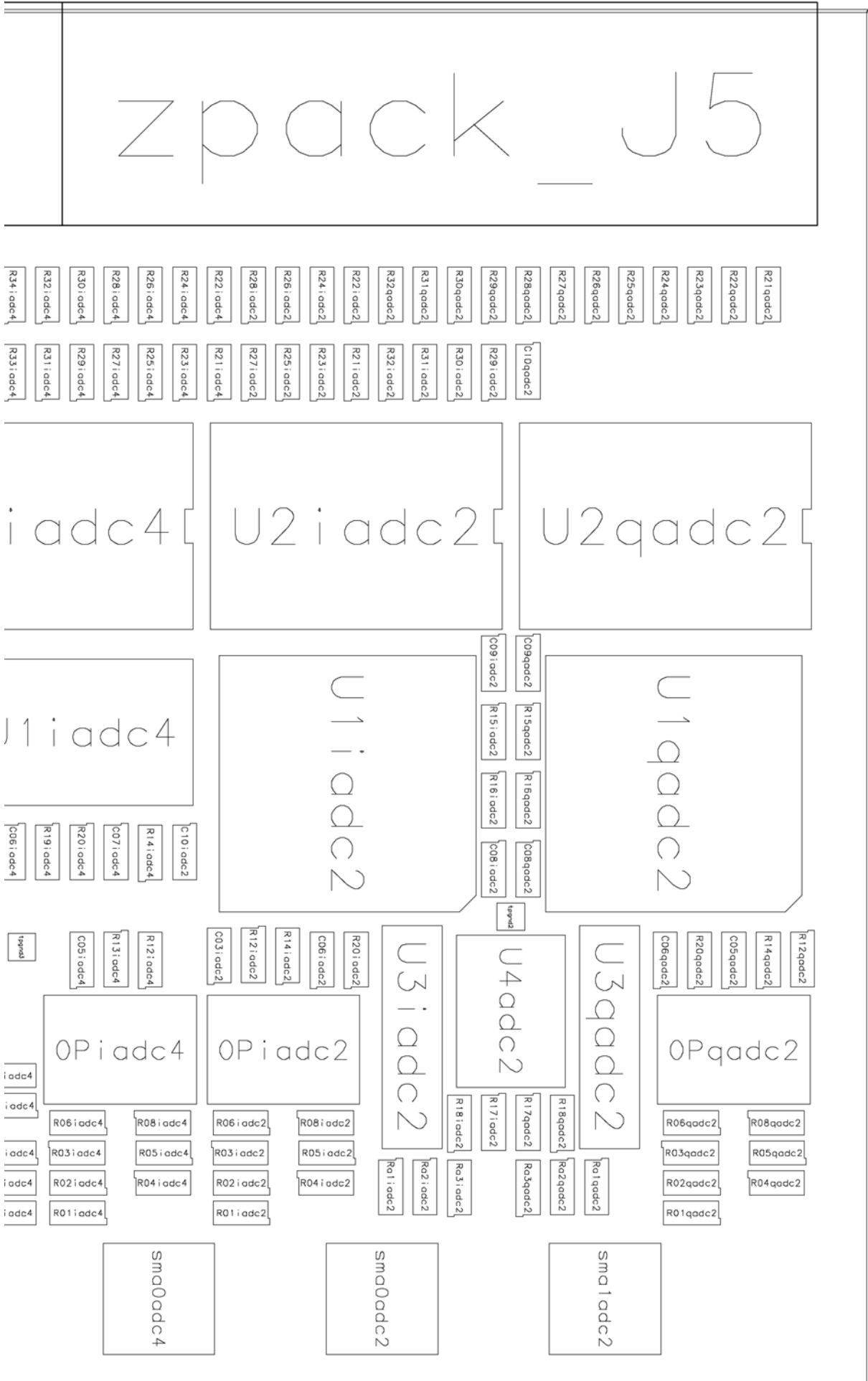
D FYSISK UTLEGG

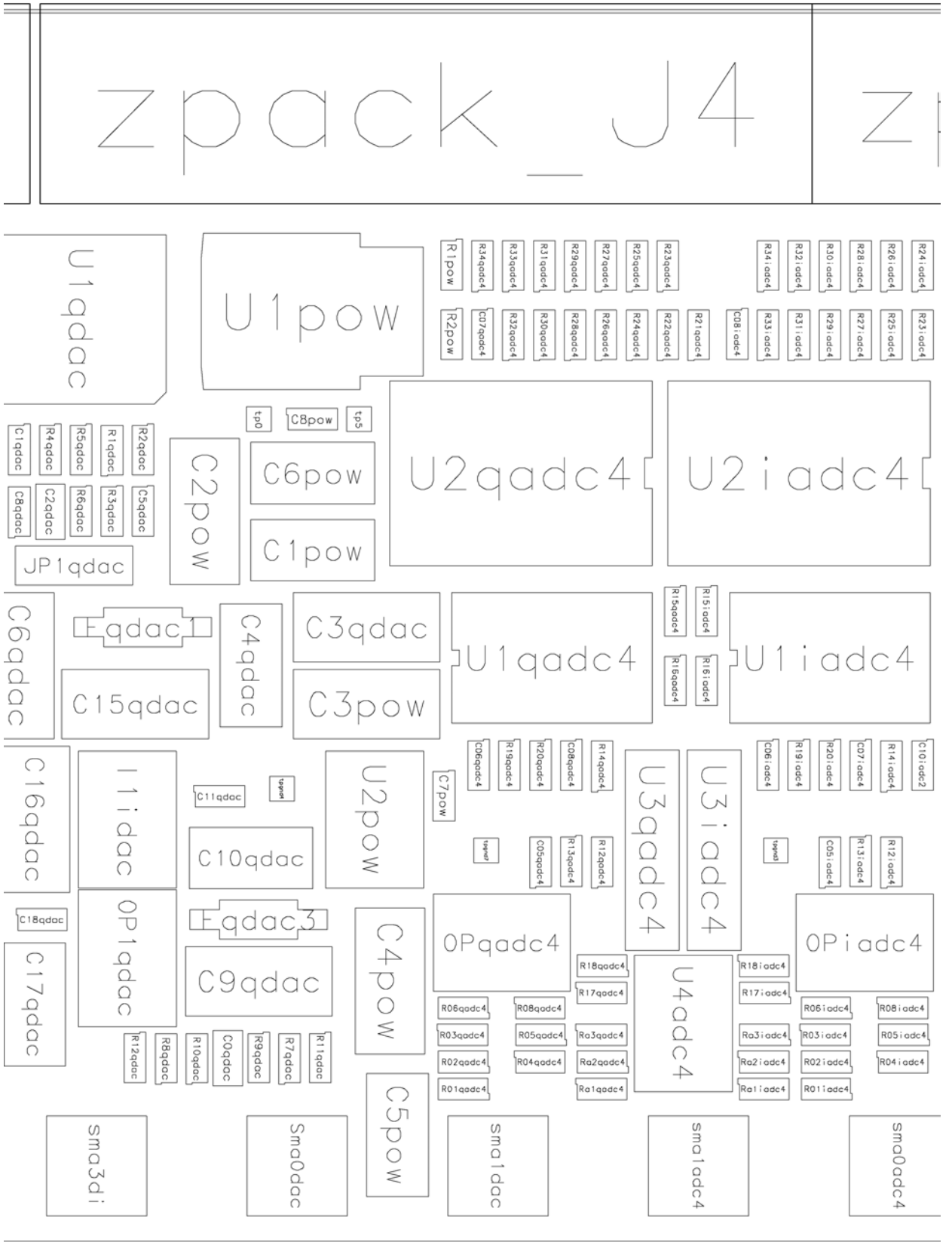
D.1 Komponentplassering

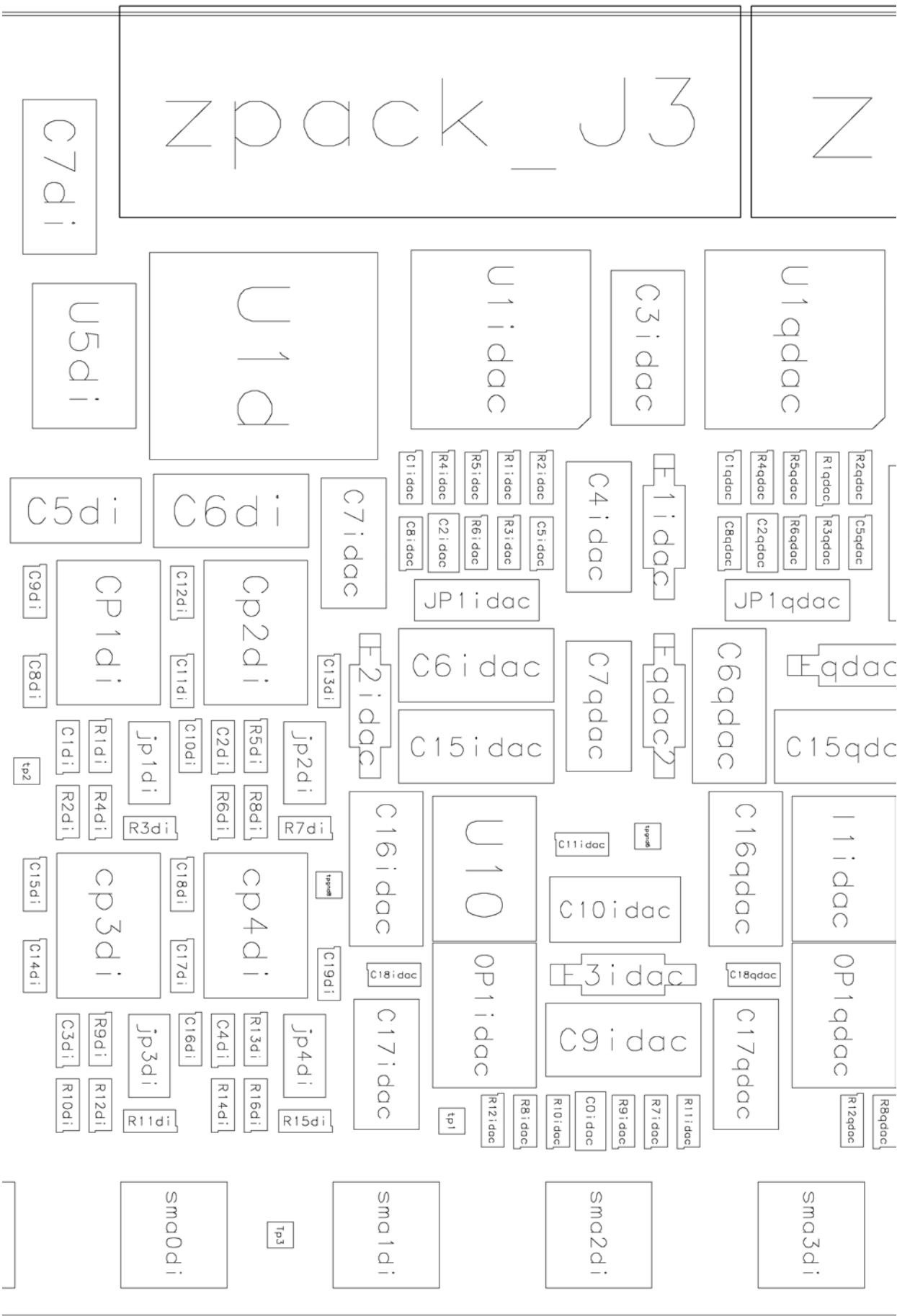
D.1.1 Printkort oversikt

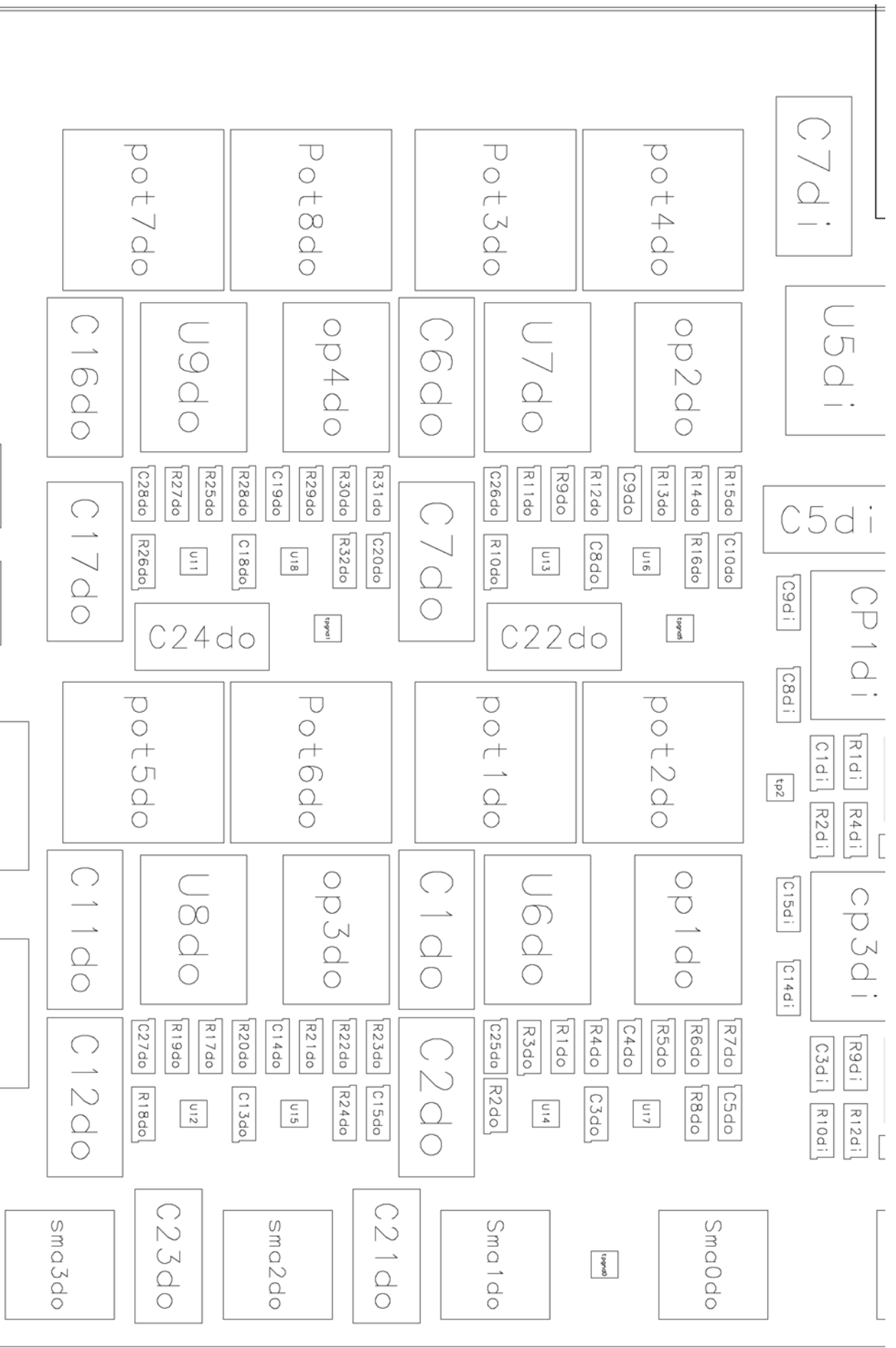


D.1.2 Printkort detalj (5ark)









tp4

U24

U3d

U4d

U23

U20

U19

U21

U22

C16do

C17do

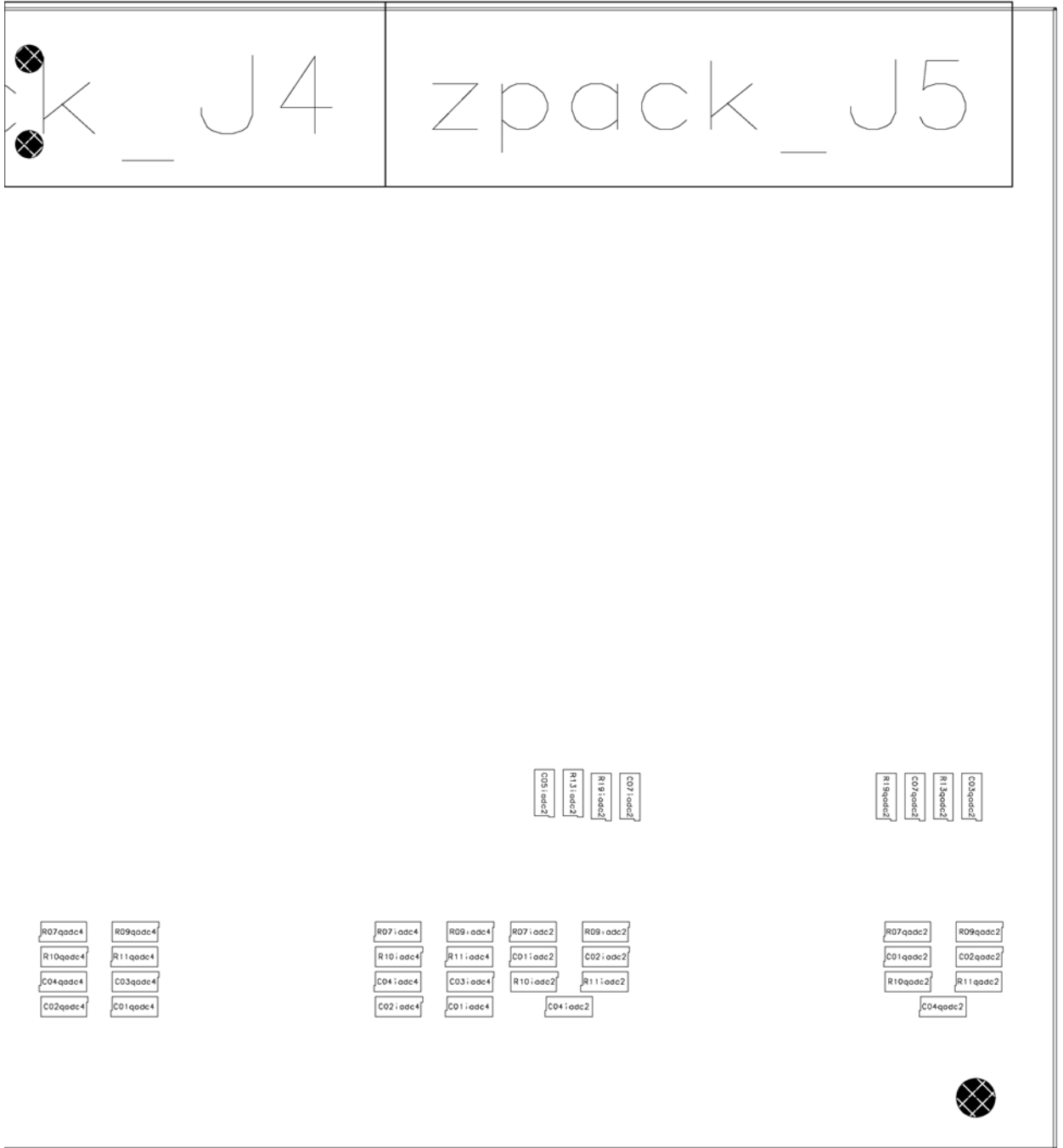
C11do

C12do

sma3do



D.1.3 Printkort bakside (sett fra forside)



D.2 Komponent oversikt

BOARD STATION PACKAGE SUMMARY FILE FORMAT 2.0

Application : PACKAGE v8.6_4.1 Thu May 20 11:26:46 PDT 1999

date : Wednesday June 6, 2001; 13:23:59

SYMBOL	GEOMETRY	PART_NUMBER	CNT	(SWP_NDX)
100ELT22	SOIC-8-4.0	pn-100ELT22-SOIC-8	2	(1)
2mmHM90F_110A22	z-pack25	pn-ZPACK-110-A-F-90-SH	1	(2)
2mmHM90F_110B22	z-pack22	pn-ZPACK-110-B-F-90-SH	1	(3)
2mmHM90F_95B19	z-pack19	pn-ZPACK-95-B-F-90-SH	1	(4)
74AC244	SOIC-20-7.6	pn-74AC244-SOIC-20-7.6	1	(5)
74ACT16374	SSOP-48-7.5-0.635	pn-74ACT16374-SSOP-48-7.5	4	(6)
AD8037ar	SOIC-8-4.0	pn-AD8037AR-SOIC-8	4	(7)
AD8138ar	SOIC-8-4.0	pn-AD8138AR-SOIC-8	4	(8)
AD9432bst	QFP-52-10.0-0.65	pn-AD9432BST-QFP-52	2	(9)
AD9755	QFP-48-7.0-0.5	pn-AD9755BST-QFP-48	2	(10)
CAPACITOR	0603	pn-CAPACITOR-0603	80	(11)
CAPACITOR	0805	pn-CAPACITOR-0805	4	(12)
CAPACITOR	6032	pn-CAPACITOR-6032	2	(13)
CLC5958slb	SSOP-MOD-48-6.5-0.5	pn-CLC5958SLB-48-pin	2	(14)
Ferrite	RES-03	pn-ferrite	6	(15)
JMP1X3	JMP1X3	pn-JMP1X3	2	(16)
LT1719cs8	SOIC-8-4.0	pn-LT1719cs8-SOIC-8	4	(17)
LT1764eq	Q-PACK-DD	pn-LT1764EQ-Q-PACK	1	(18)
MAX660	SOIC-8-4.0	pn-max660-SOIC-8	8	(19)
OPA680	SOIC-8-4.0	pn-OPA690-SOIC-8	2	(20)
POL_CAPACITOR	6032	pn-POL-CAPACITOR-6032	14	(21)
POL_CAPACITOR	7343	pn-POL-CAPACITOR-7343	23	(22)
RESISTOR	0603	pn-RESISTOR-0603	218	(23)
SMA-A90	SMA-A90	pn-SMA-A90	14	(24)
SN74ABT16373	SSOP-48-7.5-0.635	pn-74ABT16373-SSOP-48-7.5	2	(25)
TEST_POINT	TEST_POINT-1.3	pn-TEST_POINT	23	(26)
bel0402	SIP-4	pn-BEL0402-SIP-4	4	(27)
jmp	JMP1X2	pn-JMP	4	(28)
pot	BOURNS-3386	pn-POT-BOURNS-3386	8	(29)
scotch10	SCOTCH-10-M-NL	pn-SCOTCH-10-M	5	(30)
xx244	SOIC-20-7.6	pn-74fct244a-SOIC-20-7.6	1	(31)

Total count of SOIC-8-4.0	=	24
Total count of z-pack25	=	1
Total count of z-pack22	=	1
Total count of z-pack19	=	1
Total count of SOIC-20-7.6	=	2
Total count of SSOP-48-7.5-0.635	=	6
Total count of QFP-52-10.0-0.65	=	2
Total count of QFP-48-7.0-0.5	=	2
Total count of 0603	=	298
Total count of 0805	=	4
Total count of 6032	=	16
Total count of SSOP-MOD-48-6.5-0.5	=	2
Total count of RES-03	=	6
Total count of JMP1X3	=	2
Total count of Q-PACK-DD	=	1
Total count of 7343	=	23
Total count of SMA-A90	=	14
Total count of TEST_POINT-1.3	=	23
Total count of SIP-4	=	4
Total count of JMP1X2	=	4
Total count of BOURNS-3386	=	8
Total count of SCOTCH-10-M-NL	=	5

(Design Pins + Map Power Pins) 2151 / 14 = 154 (14 Pin Equivalent ICs)

D.3 Komponentliste

BOARD STATION COMPONENTS FILE FORMAT 2.0
 Application : LAYOUT v8.6_6.1_20 Fri Dec 8 17:32:42 PST 2000
 date : Wednesday June 6, 2001; 19:06:32

Component property is presented in the format (prop_name, prop_value).

Reference	Part_number	Symbol	Geometry	Properties
C01iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"10p")
C01iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C01qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"10p")
C01qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C02iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"10p")
C02iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C02qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"10p")
C02qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C03iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C03iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C03qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C03qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C04iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"22p")
C04iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C04qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"22p")
C04qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C05iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C05iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C05qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C05qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C06iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C06iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C06qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C06qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C07iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C07iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C07qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C07qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C08iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C08iadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C08qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C08qadc4	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C09iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C09qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C0idac	pn-CAPACITOR-0805	CAPACITOR	0805	(VALUE,"1u") - (INSTPAR,"1.0u")
C0qdac	pn-CAPACITOR-0805	CAPACITOR	0805	(VALUE,"1u") - (INSTPAR,"1.0u")
C10di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C10do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C10iadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C10idac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"10u") - (INSTPAR,"10u")
C10qadc2	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C10qdac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"10u") - (INSTPAR,"10u")
C11di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C11do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C11idac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C11qdac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C12di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C12do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C13di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C13do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"100n")
C14di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C14do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C15di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C15do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C15idac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C15qdac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C16di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C16do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C16idac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C16qdac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C17di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C17do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C17idac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C17qdac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C18di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C18do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"100n")
C18idac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C18qdac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C19di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C19do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")

C1di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"150n")
C1do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C1idac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C1pow	pn-CAPACITOR-6032	CAPACITOR	6032	(VALUE,"10p") - (INSTPAR,"33u")
C1qdac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C2do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C21do	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C22do	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C23do	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C24do	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C25do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C26do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C27do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C28do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C2di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"150n")
C2do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C2idac	pn-CAPACITOR-0805	CAPACITOR	0805	(VALUE,"1u") - (INSTPAR,"1.0u")
C2pow	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C2qdac	pn-CAPACITOR-0805	CAPACITOR	0805	(VALUE,"1u") - (INSTPAR,"1.0u")
C3di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"150n")
C3do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"100n")
C3idac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"100u") - (INSTPAR,"100u")
C3pow	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C3qdac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"100u") - (INSTPAR,"100u")
C4di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"150n")
C4do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C4idac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"10u") - (INSTPAR,"10u")
C4pow	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C4qdac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"10u") - (INSTPAR,"10u")
C5di	pn-CAPACITOR-6032	CAPACITOR	6032	(VALUE,"10p") - (INSTPAR,"150n")
C5do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C5idac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C5pow	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C5qdac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C6di	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C6do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C6idac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"100u") - (INSTPAR,"100u")
C6pow	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"150u") - (INSTPAR,"47u")
C6qdac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"100u") - (INSTPAR,"100u")
C7di	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C7do	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"150u") - (INSTPAR,"150u")
C7idac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"10u") - (INSTPAR,"10u")
C7pow	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C7qdac	pn-POL-CAPACITOR-6032	POL_CAPACITOR	6032	(VALUE,"10u") - (INSTPAR,"10u")
C8di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C8do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"100n")
C8idac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C8pow	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C8qdac	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"0.1u") - (INSTPAR,"0.1u")
C9di	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"10n")
C9do	pn-CAPACITOR-0603	CAPACITOR	0603	(VALUE,"10p") - (INSTPAR,"100n")
C9idac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"100u") - (INSTPAR,"100u")
C9qdac	pn-POL-CAPACITOR-7343	POL_CAPACITOR	7343	(VALUE,"100u") - (INSTPAR,"100u")
CP1di	pn-LT1719cs8-SOIC-8	LT1719cs8	SOIC-8-4.0	
CP2di	pn-LT1719cs8-SOIC-8	LT1719cs8	SOIC-8-4.0	
F1idac	pn-ferrite	Ferrite	RES-03	
F2idac	pn-ferrite	Ferrite	RES-03	
F3idac	pn-ferrite	Ferrite	RES-03	
Fqdac1	pn-ferrite	Ferrite	RES-03	
Fqdac2	pn-ferrite	Ferrite	RES-03	
Fqdac3	pn-ferrite	Ferrite	RES-03	
I1idac	pn-max660-SOIC-8	max660	SOIC-8	
JPl1idac	pn-JMP1X3	JMP1X3	JMP1X3	
JPl1qdac	pn-JMP1X3	JMP1X3	JMP1X3	
OP1idac	pn-OPA690-SOIC-8	OPA680	SOIC-8	
OP1qdac	pn-OPA690-SOIC-8	OPA680	SOIC-8	
OPiadc2	pn-AD8138AR-SOIC-8	AD8138ar	SOIC-8	
OPiadc4	pn-AD8138AR-SOIC-8	AD8138ar	SOIC-8	
OPqadc2	pn-AD8138AR-SOIC-8	AD8138ar	SOIC-8	
OPqadc4	pn-AD8138AR-SOIC-8	AD8138ar	SOIC-8	
Pot3do	pn-POT-BOURNS-3386	pot	BOURNS	(VALUE,"500")
R01iadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"50")
R01iadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"50")
R01qadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"50")
R01qadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"50")
R02iadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"000")
R02iadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"000")
R02qadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"000")
R02qadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"000")
R03iadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"500")
R03iadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"499")
R03qadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"500")
R03qadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"499")

R3di	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"1k")
R3do	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"470")
R3idac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"200") - (INSTPAR,"200")
R3qdac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"200") - (INSTPAR,"200")
R4di	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"50")
R4do	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"100")
R4idac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"200") - (INSTPAR,"2k")
R4qdac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"200") - (INSTPAR,"2k")
R5di	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"390")
R5do	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"270")
R5idac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"100")
R5qdac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"100")
R6di	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"330")
R6do	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"270")
R6idac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"292")
R6qdac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"292")
R7di	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"1k")
R7do	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"470")
R7idac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"225")
R7qdac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"225")
R8di	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"50")
R8do	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"47")
R8idac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"225")
R8qdac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"225")
R9di	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"390")
R9do	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"10") - (INSTPAR,"1500")
R9idac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"200") - (INSTPAR,"25")
R9qdac	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"200") - (INSTPAR,"25")
Raliadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"2.7")
Raliadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"2.7")
Ralqadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"2.7")
Ralqadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"0.100") - (INSTPAR,"2.7")
Ra2iadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Ra2iadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Ra2qadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Ra2qadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Ra3iadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Ra3iadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Ra3qadc2	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Ra3qadc4	pn-RESISTOR-0603	RESISTOR	0603	(VALUE,"51") - (INSTPAR,"1G")
Sma0dac	pn-SMA-A90	SMA-A90	SMA-A90	SMA-A90
Sma0do	pn-SMA-A90	SMA-A90	SMA-A90	SMA-A90
Smaldo	pn-SMA-A90	SMA-A90	SMA-A90	SMA-A90
U10	pn-max660-SOIC-8	max660		SOIC-8-4.0
U11	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U12	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U13	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U14	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U15	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U16	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U17	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U18	pn-TEST_POINT	TEST_POINT		TEST_POINT-1.3
U19	pn-SCOTCH-10-M	SCOTCH10		SCOTCH-10-M-NL
U1d	pn-74AC244-SOIC-20-7.6	74AC244		SOIC-20-7.6
U1iadc2	pn-AD9432BST-QFP-52	AD9432bst		QFP-52-10.0-0.65
U1iadc4	pn-CLC5958SLB-48-pin	CLC5958slb		SSOP-MOD-48-6.5-0.5
U1idac	pn-AD9755BST-QFP-48	AD9755		QFP-48-7.0-0.5
U1pow	pn-LT1764EQ-Q-PACK	LT1764eq		Q-PACK-DD
U1qadc2	pn-AD9432BST-QFP-52	AD9432bst		QFP-52-10.0-0.65
U1qadc4	pn-CLC5958SLB-48-pin	CLC5958slb		SSOP-MOD-48-6.5-0.5
U1qdac	pn-AD9755BST-QFP-48	AD9755		QFP-48-7.0-0.5
U20	pn-SCOTCH-10-M	SCOTCH10		SCOTCH-10-M-NL
U21	pn-SCOTCH-10-M	SCOTCH10		SCOTCH-10-M-NL
U22	pn-SCOTCH-10-M	SCOTCH10		SCOTCH-10-M-NL
U23	pn-SCOTCH-10-M	SCOTCH10		SCOTCH-10-M-NL
U24	pn-74XX244-SOIC-20-7.6	XX244		SOIC-20-7.6
U2iadc2	pn-74ACT16374-SSOP-48-7.5	74ACT16374		SSOP-48-7.5-0.635
U2iadc4	pn-74ACT16374-SSOP-48-7.5	74ACT16374		SSOP-48-7.5-0.635
U2pow	pn-max660-SOIC-8	max660		SOIC-8-4.0
U2qadc2	pn-74ACT16374-SSOP-48-7.5	74ACT16374		SSOP-48-7.5-0.635
U2qadc4	pn-74ACT16374-SSOP-48-7.5	74ACT16374		SSOP-48-7.5-0.635
U3d	pn-74ABT16373-SSOP-48-7.5	SN74ABT16373		SSOP-48-7.5-0.635
U3iadc2	pn-BEL0402-SIP-4	bel0402		SIP-4
U3iadc4	pn-BEL0402-SIP-4	bel0402		SIP-4
U3qadc2	pn-BEL0402-SIP-4	bel0402		SIP-4
U3qadc4	pn-BEL0402-SIP-4	bel0402		SIP-4
U4adc2	pn-100ELT22-SOIC-8	100ELT22		SOIC-8-4.0
U4adc4	pn-100ELT22-SOIC-8	100ELT22		SOIC-8-4.0
U4d	pn-74ABT16373-SSOP-48-7.5	SN74ABT16373		SSOP-48-7.5-0.635
U5di	pn-max660-SOIC-8	max660		SOIC-8-4.0
U6do	pn-max660-SOIC-8	max660		SOIC-8-4.0
U7do	pn-max660-SOIC-8	max660		SOIC-8-4.0
U8do	pn-max660-SOIC-8	max660		SOIC-8-4.0

U9do	pn-max660-SOIC-8	max660	SOIC-8-4.0
cp3di	pn-LT1719cs8-SOIC-8	LT1719cs8	SOIC-8-4.0
cp4di	pn-LT1719cs8-SOIC-8	LT1719cs8	SOIC-8-4.0
jp1di	pn-JMP	jmp	JMP1X2
jp2di	pn-JMP	jmp	JMP1X2
jp3di	pn-JMP	jmp	JMP1X2
jp4di	pn-JMP	jmp	JMP1X2
op1do	pn-AD8037AR-SOIC-8	AD8037ar	SOIC-8-4.0
op2do	pn-AD8037AR-SOIC-8	AD8037ar	SOIC-8-4.0
op3do	pn-AD8037AR-SOIC-8	AD8037ar	SOIC-8-4.0
op4do	pn-AD8037AR-SOIC-8	AD8037ar	SOIC-8-4.0
pot1do	pn-POT-BOURNS-3386	pot	BOURNS-3386 (VALUE, "500")
pot2do	pn-POT-BOURNS-3386	pot	BOURNS-3386 (VALUE, "500")
pot4do	pn-POT-BOURNS-3386	pot	BOURNS-3386 (VALUE, "500")
pot5do	pn-POT-BOURNS-3386	pot	BOURNS-3386 (VALUE, "500")
pot6do	pn-POT-BOURNS-3386	pot	BOURNS-3386 (VALUE, "500")
pot7do	pn-POT-BOURNS-3386	pot	BOURNS-3386 (VALUE, "500")
pot8do	pn-POT-BOURNS-3386	pot	BOURNS-3386 (VALUE, "500")
sma0adc2	pn-SMA-A90	SMA-A90	SMA-A90
sma0adc4	pn-SMA-A90	SMA-A90	SMA-A90
sma0di	pn-SMA-A90	SMA-A90	SMA-A90
smaladc2	pn-SMA-A90	SMA-A90	SMA-A90
smaladc4	pn-SMA-A90	SMA-A90	SMA-A90
smaldac	pn-SMA-A90	SMA-A90	SMA-A90
sma1di	pn-SMA-A90	SMA-A90	SMA-A90
sma2di	pn-SMA-A90	SMA-A90	SMA-A90
sma2do	pn-SMA-A90	SMA-A90	SMA-A90
sma3di	pn-SMA-A90	SMA-A90	SMA-A90
sma3do	pn-SMA-A90	SMA-A90	SMA-A90
tp0	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tp1	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tp2	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tp3	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tp4	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tp5	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd0	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd1	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd2	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd3	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd4	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd5	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd6	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd7	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
tpgnd8	pn-TEST_POINT	TEST_POINT	TEST_POINT-1.3
zpack_J3	pn-ZPACK-95-B-F-90-SH	2mmHM90F_95B19	z-pack19
zpack_J4	pn-ZPACK-110-A-F-90-SH	2mmHM90F_110A22	z-pack25
zpack_J5	pn-ZPACK-110-B-F-90-SH	2mmHM90F_110B22	z-pack22

Litteratur

- (1) Johnsrud S, Tansem I (2002): Digital multistatisk radar, sender og mottaker, FFI/RAPPORT-2002/01931, Forsvarets forskningsinstitutt
- (2) Johnsen T, Olsen K E, Johnsrud S, Gundersen R, Bjordal H, Tansem I, Sørnes P (2002): Multistatisk CW radar - Konsept, FFI/RAPPORT-2002/01767, Forsvarets forskningsinstitutt
- (3) Tansem I, Gundersen R, Bjordal H, Johnsen T, Johnsrud S, Olsen K E, Sørnes P (2002): Digital multistatisk radar, overordnet maskinvarebeskrivelse, FFI/RAPPORT-2002/02453, Forsvarets forskningsinstitutt

FORDELINGSLISTE

FFIE
Dato: 6 august 2002

RAPPORTTYPE (KRYSS AV) <input checked="" type="checkbox"/> RAPP <input type="checkbox"/> NOTAT <input type="checkbox"/> RR		RAPPORT NR. 2002/02365	REFERANSE FFIE/726/170	RAPPORTENS DATO 6 august 2002
RAPPORTENS BESKYTTELSESGRAD UGRADERT		ANTALL EKS UTSTEDT 26	ANTALL SIDER 47	
RAPPORTENS TITTEL REKONFIGURERBAR PROSESSERINGSMODUL - IOkort		FORFATTER(E) SØRNES Per K		
FORDELING GODKJENT AV FORSKNINGSSJEF John-Mikal Størdal		FORDELING GODKJENT AV AVDELINGSSJEF: Johnny Bardal		

EKSTERN FORDELING
INTERN FORDELING

ANTALL	EKS NR	TIL	ANTALL	EKS NR	TIL
1		Major Sverre Vestad, LVI	14		FFI-Bibl
1		Rådgiver Tore Belsnes, FO/E	1		Adm direktør/stabssjef
1		FO/SST	1		FFIE
			1		FFISYS
			1		FFIBM
			1		FFIN
			1		Forfatter
			3		Restopplag til Bibl
					Elektronisk fordeling:
					John-Mikal Størdal, FFIE
					Halvor Bjordal, FFIE
					Steinar Johnsrud, FFIE
					Ivar Tansem, FFIE
					Rune Gundersen, FFIE
					Terje Johnsen, FFIE
					Karl Erik Olsen, FFIE
					FFI - veven

FFI-K1

Retningslinjer for fordeling og forsendelse er gitt i Oraklet, Bind I, Bestemmelser om publikasjoner for Forsvarets forskningsinstitutt, pkt 2 og 5. Benytt ny side om nødvendig.